

博士学位論文

高密度 RF テスタフロントエンドの
SiP 化に関する研究

平成 25 年 9 月

宇都宮大学大学院工学研究科

システム創成工学専攻

君島 正幸

目次

まえがき	1
第1章 序論	2
1.1 RF モジュールの小形・高密度, 高スループット化の重要性	4
1.2 RF テスタの構成とフルリソースの要求	5
1.2.1 RF テスタの基本構成	5
1.2.2 フルリソース RF モジュールの要求	7
1.3 高スループット, マルチリソース RF モジュールの実現	8
1.3.1 従来の RF モジュールにおける小形化の限界	8
1.3.2 新 RF モジュールの構造	10
第2章 RF-SiP 技術と RF テスタフロントエンドの小形化	13
2.1 RF-SiP	13
2.1.1 RF-SiP の要素技術	13
2.1.2 LTCC 実装技術	15
2.1.3 RF フロントエンドボードの構造	18
第3章 リフレクトメータ SiP	22
3.1 ベクトルネットワーク測定における誤差要因	23
3.1.1 測定アーキテクチャ	23
3.1.2 有限な方向性がもたらす測定誤差	24
3.1.3 ダイナミックレンジの限界値による誤差	28

3.2	リフレクトメータの SiP 化	31
3.2.1	リフレクトメータ SiP の構成	31
3.2.2	方向性結合器	34
3.2.3	アイソレーションアンプ	38
3.2.4	受信ミキサ	41
3.2.5	リフレクトメータ SiP 化の設計検証	46
3.3	リフレクトメータ SiP の性能評価結果	48
3.3.1	変換利得と雑音特性	48
3.3.2	ディレクティビティと反射測定ダイナミックレンジ	49
3.3.3	リニアリティとダイナミックレンジ	49
3.3.4	ポート間アイソレーション	52
3.4	本章のまとめ	53
第4章	75dB 高速電力レベル可変ステップアッテネータ SiP	58
4.1	ステップアッテネータ SiP の設計と実現性検証	59
4.1.1	ステップアッテネータ MMIC の設計と評価	60
4.1.2	SiP 構造の高アイソレーション化	65
4.2	ステップアッテネータ SiP 減衰特性評価結果	67
4.3	電力レベルセトリングの高速化技術	68
4.3.1	高速電力レベルセトリング MMIC 技術	68
4.3.2	高速電力レベルセトリング動作	69
4.3.3	ステップアッテネータ SiP 電力レベルセトリング評価結果	71
4.4	本章のまとめ	71

第 5 章 RF シンセサイザ SiP	72
5.1 13 バンド VCO および 48 ビット $\Delta \Sigma$ モジュレータを用いた 高周波数分解能シングルループ RF シンセサイザ SiP	73
5.2 PLL-LSI のコア回路技術	74
5.2.1 非対称トーナメント配置形 13 バンド VCO	74
5.2.2 48 ビット $\Delta \Sigma$ フラクショナル N 周波数分周器	86
5.3 RF シンセサイザ SiP の構造と性能	92
5.3.1 RF シンセサイザ SiP の構造	92
5.3.2 評価結果	94
5.4 本章のまとめ	97
第 6 章 新 RF モジュールの性能評価	98
6.1 基本性能	98
6.2 新 RF モジュールの RF テストへのインパクト	100
第 7 章 総括	103
参考文献	106
研究成果	114
謝辞	116

まえがき

マルチバンド, マルチモード化が急速に進む携帯電話端末やWLAN(Wireless Local Area Network)用のRF-IC(Radio Frequency - Integrated Circuits), RF-LSI(Large Scale Integrated circuits)の出荷テストにおいて, RF テスタの多ポート, 高速化の要求は年々厳しくなっている. この要求にこたえるため, 小形で多数のテストポートを有し, またスループットを大幅に向上したRFモジュールの開発に成功し, 同機能, 同ポート数の従来RFモジュールに対し15分の1の小形化と約5倍のスループット向上を達成した. このモジュール実現の最大の要因はRF テスタフロントエンドのSiP(System in Package)化である. RFモジュールの小形化における最大の課題はRF回路の集積化にあり, 我々はRFモジュールのRF テスタフロントエンドを各機能ブロックに分け, 各ブロックの実現に適した各種デバイスを開発し, これらを用いてRF テスタフロントエンドの全機能ブロックをSiP化した. その結果, RF テスタに要求される広周波数カバレッジとダイナミックレンジ性能を満たすRFモジュールの大幅な小形化に成功した. 本論文は, RF テスタフロントエンドのSiP化に関する研究について述べるとともに, SiP化によるRF テスタの機能, 性能向上, 更にはテスト・コストの低減について言及する.

第1章 序論

本研究は、RF-IC, RF-LSI の出荷テストに用いられる RF テスタに搭載する RF モジュールの大幅な小形化を可能にした、RF-SiP に関する研究である。

本論文で論じる内容は、本研究の対象製品である半導体試験装置 (ATE : Automated Test Equipment) おけるシステム全体からモジュール構成、さらには IC 技術の細部に至る広範囲であり、また用いられる用語の定義が紛らわしく感じられるものと推察し、この冒頭に本論文における以下の各用語について、その定義づけのための説明を付す。

- ・ ATE (Automated Test Equipment) : 半導体試験装置全般の総称。ダイナミック・ランダムアクセス・メモリ (DRAM) やフラッシュ・メモリ等のテストを行うメモリテストシステムと、システム LSI 等のテストを行う SoC (System on Chip) テストシステムの2つに大別される。
- ・ SoC テストシステム : メモリ半導体以外の半導体デバイス製品をテストする ATE。システム LSI から各種センサデバイス、パワーデバイスなど、そのテスト対象デバイスは広範囲に亘るため、多種多様の要求テストソリューションの構築を可能にする多品種のモジュールを用意し、それらモジュールの組み合わせで最適なテストソリューションを提供する。(図 1.2, 図 1.3 を参照)
- ・ RF テスタ : SoC テストシステムにおいて、主に無線通信用デバイス, LSI をテストする、いわゆる RF テストソリューションを提供するモジュール構成である場合の通称。図 1.3 のモジュール構成がこれにあたる。
- ・ モジュール : SoC テストシステムに要求される多様なソリューションを提供するために

用意されるハードウェアユニットの総称。電源ユニット，クロックユニット，高速デジタル波形ユニット，任意波形（AWG）ユニットなど，多種多様なモジュールが用意されている。（図 1.3 を参照）

- **RF モジュール**：RF テストソリューションの中心となるモジュールで，RF 計測の 3 大機能であるベクトル信号発生器（VSG），ベクトル信号アナライザ（VSA），ベクトルネットワークアナライザ（VNA）がすべてインストールされる。（図 1.6，図 1.7 を参照）
- **RF テスタフロントエンド**：RF モジュールにインストールされる VSG，VSA，VNA のフロントエンド部。RF フロントエンドボード（RF-F/E Board）と RF シンセサイザボード（SYN Board）から成り，各 1 枚で 1 チャンネル分の VSG，VSA，VNA を構成する。（図 1.7(a) 参照）
- **RF フロントエンドボード**：RF テスタフロントエンドを構成する 2 種類のボードの一つで，RF シンセサイザボードから提供される信号源機能を除く VSG，VSA，VNA フロントエンド機能を含む。1 枚のボードに 12 種類，14 個の RF-SiP が搭載される。（図 2.6 を参照）
- **RF シンセサイザボード**：RF テスタフロントエンドを構成する 2 種類のボードの一つで，VSG，VSA，VNA フロントエンドにおける RF 信号源機能を受け持つ。1 枚のボードに 4 個の RF シンセサイザ SiP が搭載される。
- **RF ボード**：RF フロントエンドボード並び RF シンセサイザボードの親ボードの総称。12 種類，14 個の RF-SiP を実装することにより RF フロントエンドボードを構成し（図 2.6），4 個の RF シンセサイザ SiP を実装することにより RF シンセサイザボードを構成する。（図 2.1 を参照）
- **RF-SiP**：本研究では RF フロントエンドボードに 12 種類，RF シンセサイザボードに 1

種類の SiP を開発した。便宜上、前者を RF-SiP, 後者を RF シンセサイザ SiP と命名する。

1.1 RF モジュールの小形・高密度，高スループット化の重要性

ディープサブミクロン時代の RF-IC 技術により，各種無線 LAN や 2G(GSM/EDGE), 3G(UMTS/WCDMA)および 3.9G(LTE)等の携帯電話向け RF-IC の SoC (Systems on Chip) 1 チップ化が急速に進んでいる[1.1]-[1.3]。また，既に無線 LAN で普及しているマルチインプット，マルチアウトプット(MIMO)技術は，現在導入が進んでいる携帯電話通信の最新技術である LTE でも適用されるに至っており，無線システムにおけるスペクトル効率を向上する最も有力な手段としてますます無線アプリケーションへの拡大に期待が寄せられている[1.4], [1.5]。

図 1.1(a)に，市場が急拡大するスマートフォンの主要通信方式である LTE に対応する標準的マルチバンド・マルチモード無線通信 IC のブロック図を，図 1.1(b)に次世代 LTE 技術である LTE-Advanced 向け RF-IC の想定ブロックを示す。図示したように LTE 対応デバイスの RF ポート数は既に 20 ポートに達しており，4 × MIMO を想定した LTE-Advanced に対応する IC では 50 ポートを超過するものと思われる。

以上に述べたように今後ますます多ポート，多機能化が進むマルチバンド・マルチモード無線通信 IC の RF テストに対する要求を満たすため，SOC テストシステム用の RF モジュールの多ポート，多リソース化が必須となっている。従来，RF モジュールおよび計測器の RF フロントエンドは，大きなスペースを要する多数の RF ハイブリッド IC(HBIC)で構成してきた。したがって，テストヘッドの標準インストール単位（モジュール単位）であるスロット内に多数の RF 測定リソースを組み込むことは困難であった。また，無線通信 IC の生産量の急増により，1 チップ当たりの RF テスト・コストの削減要求も厳しくなっており，RF モジュールのチャンネル当たりのスループット向上も非常に重要である。

我々の SOC テストシステムにおける RF ソリューションのターゲットは、携帯電話と無線 LAN 用の RF-IC の大量生産における出荷試験であり、最も市場ニーズの高い周波数範囲は、400 MHz から 2.5 GHz, および 6 GHz 帯である。

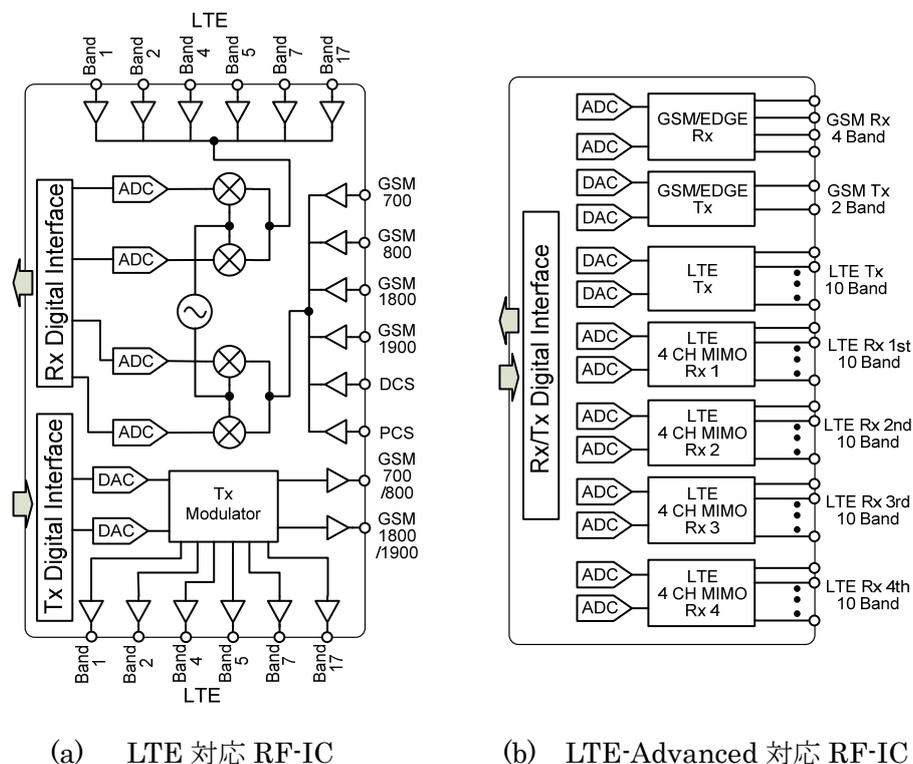


図 1.1 LTE 対応 RF-IC ブロック図と LTE-Advanced 対応 RF-IC 想定ブロック図

1.2 RF テスタの構成とフルリソースの要求

1.2.1 RF テスタの基本構成

SoC テストシステムの写真, およびテストヘッドの基本構成を図 1.2 および図 1.3 に示す。システムは、メインフレーム, PC およびテストヘッドから成る [1.6]。テストヘッドはシステムの中で最も重要な役割を持っており、この性能で RF テスタのパフォーマンスが特性づけられる。テストヘッドは、各種モジュールと DUT (Device Under Test) ボードから成る。RF テストに対応したテストヘッドのモジュール・ダイヤグラムを図 1.4 に示す。RF-IC のテストソリューション (RF ソリューション) については、RF モジュール、ベースバン

ド(BB)モジュール, 電源(PS)モジュールおよび同期系クロック(SYC)モジュールがインストールされる. RF ソリューションを提供するテストヘッドのモジュール構成を有するシステムを総称 RF テスタと呼ぶ.

最小構成のテストヘッドでは, 13 のスロット分のモジュールをインストールすることが出来る. 1 スロットに割り当てられた容積は, 400 mm × 480 mm × 24 mm である. RF-IC 生産量の急増でテスト・コスト低減の要求は日々高まっており, さらに IC のポート数も増加の一途であるため, テストヘッドに搭載される RF モジュールの高スループット化およびインストール数増加の要求はますます厳しくなっている.

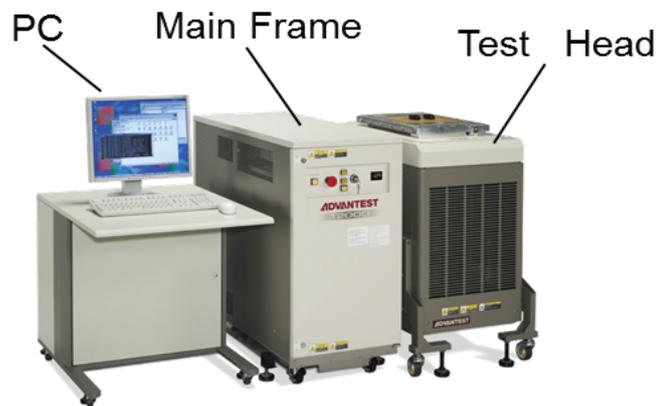


図 1.2 SoC テストシステム

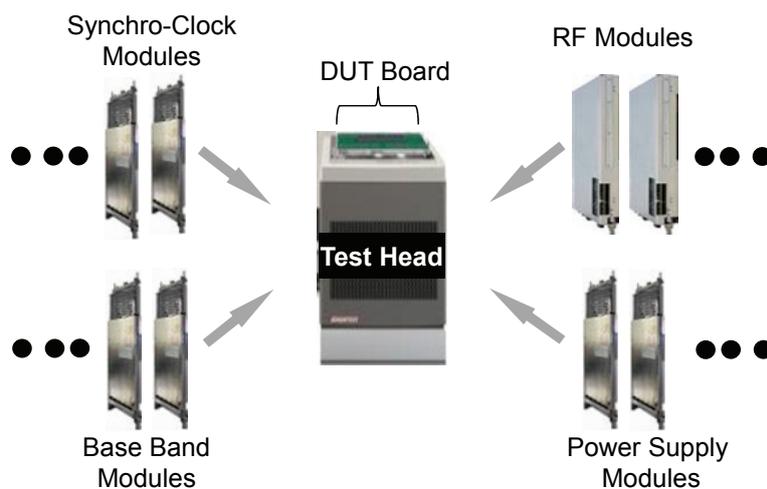


図 1.3 RF テストソリューションにおけるテストヘッドの基本構成

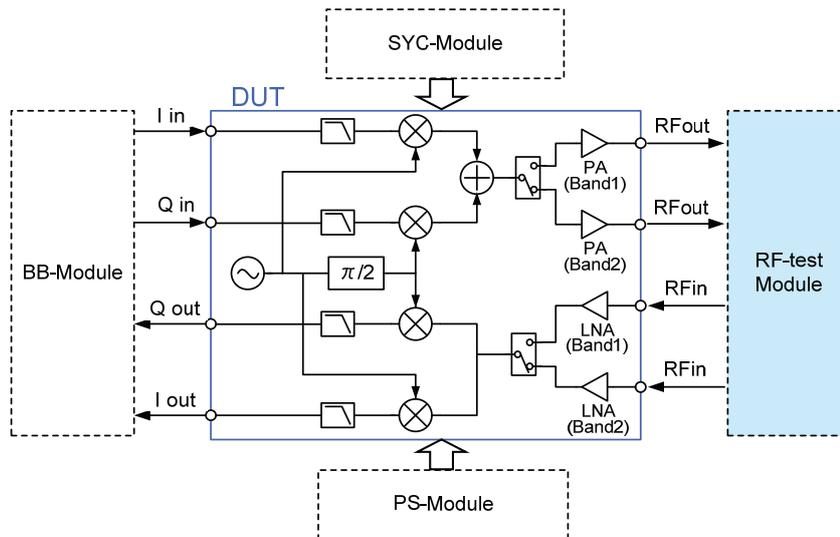


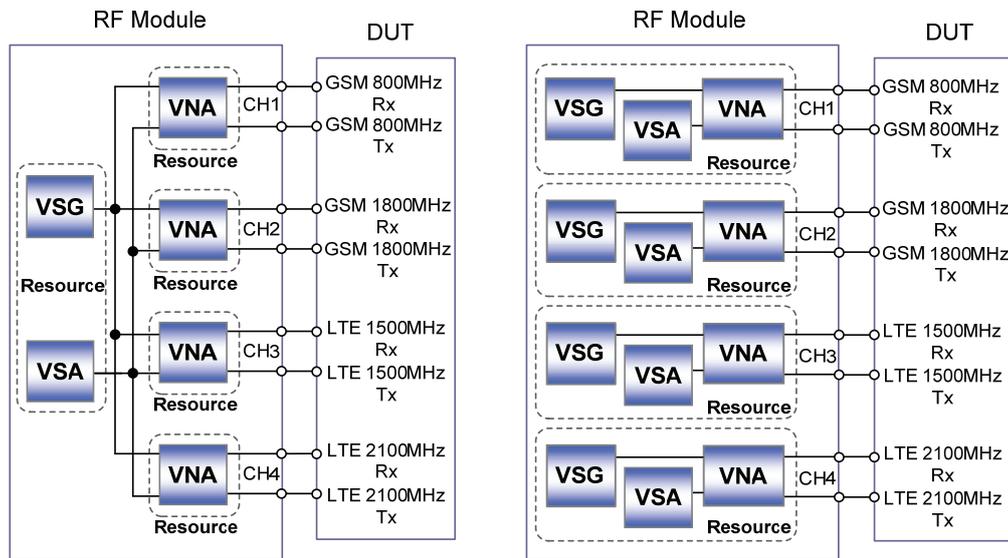
図 1.4 RF テスト対応テストヘッドのモジュール・ダイアグラム

1.2.2 フルリソース RF モジュールの要求

RF モジュールのフルリソース化は、RF テストのスループットの向上に不可欠である。ここで、フルリソース構成が RF テストの高スループット化に如何に有効であるかを、簡略化した LTE 向けマルチバンド・マルチモード無線通信 IC をテストする例をもとに説明する。

図 1.5(a)は、従来の 4 チャンネル、32 ポートの RF モジュールでのテストダイアグラムである。この RF モジュールではベクトル信号発生器(VSG)およびベクトル信号アナライザ(VSA)の各 1 台共有し、ベクトルネットワークアナライザ(VNA)を 4 台有し、これを 4 チャンネル・シェアードリソースと呼ぶ。一方、図 1.5(b)の 4 チャンネル・フルリソース RF モジュールは、完全独立動作の 4 つの VSG, VSA, VNA を有する。図 1.5 の VSG, VSA, VNA は、それぞれ変調信号生成、変調信号解析およびベクトルネットワーク解析の機能を提供するもので、これらを RF テストにおけるリソースと呼ぶ。図 1.5(a)および図 1.5(b)において、DUT は同一である。従来の 4 チャンネル・シェアードリソースの RF テストでは、4 チャンネル全てに同一周波数、同一電力レベルの信号を割り当てなければならないので、それぞれ周波数バンド、通信規格の異なる DUT の各チャンネルポートを時分割でテストしな

なければならない。一方、フルリソース RF モジュールでは DUT の各チャンネルにそれぞれ独立の試験条件を割り当てることが出来るため、全チャンネルポートを同時に測定すること（同測）が可能で、シェアードリソースに対して単純比較で 4 倍のスループットとなる。



(a) 4チャンネル・シェアードリソース (b) 4チャンネル・フルリソース

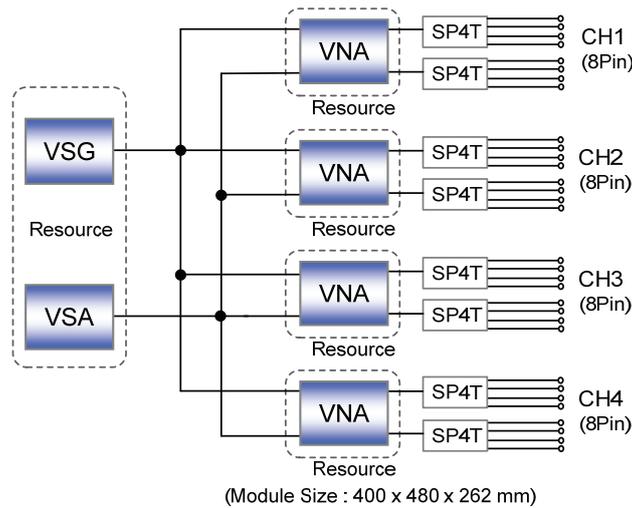
図 1.5 シェアードおよびフルリソース RF モジュールにおけるテストダイアグラム

1.3 高スループット、マルチリソース RF モジュールの実現

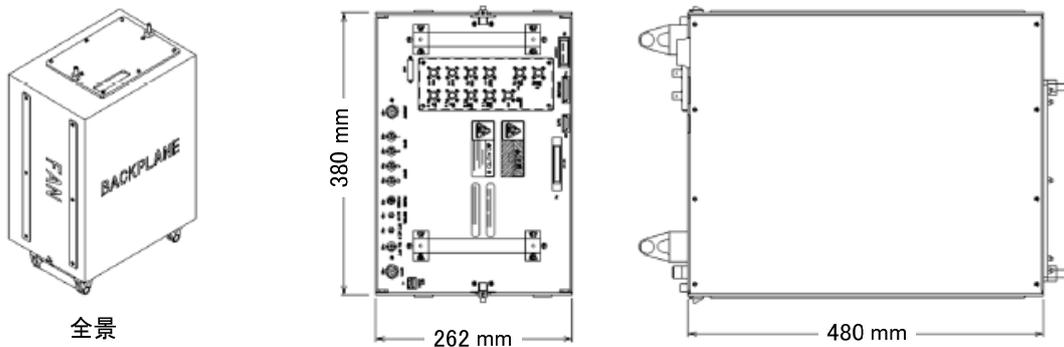
1.3.1 従来の RF モジュールにおける小形化の限界

近年の高機能無線通信 IC をテストする RF テスタに組み込まれる RF モジュールには、様々な通信規格に対応する信号発生、信号解析、加えて制御系テストなど多様な RF デバイスタテストが課せられる上、より多くのテストリソース、高スループットが求められる。通常、従来の RF モジュールは、広周波数帯域、高ダイナミックレンジ性能を得るため、計測器の RF フロントエンド同様、HBIC を用いて構成されてきた[1.7], [1.8]。HBIC は、同軸コネクタとメタルケースを備えた高周波コンポーネントで、占有容積が大きく、そのため RF モジュールのスロット単位サイズへの作りこみは極めて困難で、多チャンネルリソース

を 1 台のモジュールに搭載するのは不可能であった。さらに、信号レベルセトリング時間の遅い機械式 RF スイッチや、周波数セトリングの遅い YIG (Yttrium-Iron-Garnet) 発振器を用いた周波数シンセサイザは、高スループット化の足かせとなっている。図 1.6(a)および図 1.6(b)に、従来の RF モジュールのリソース構成とモジュール外形を示す。



(a) リソース構成



(b) モジュール外形

図 1.6 従来の RF モジュールのリソース構成と外形

従来構造では 1 つの VSG, 1 つの VSA および 4 つの VNA が 1 台の RF モジュールにインストールされる。モジュールサイズは 400 mm x 480 mm x 262 mm で、テストヘッドの 11 スロット分に相当する。従って 13 スロットしか収容できない最小構成のテストヘッ

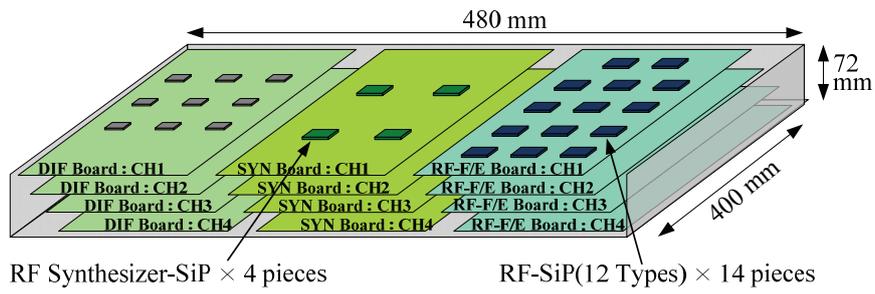
どに、図 1.4 に示したごとく、RF モジュールに加え数種の関連モジュールとセットで提供されるテストソリューションをインストールすることは困難である。また、図 1.1(b)に示した多ポート、多チャンネルデバイスをテストするには複数の RF モジュールが必要で、最小構成のテストヘッドにそれらをインストールすることができない。さらに、従来構造で 4 チャンネル・フルリソースを組み込むには、図 1.6(b)の約 3 倍の容積を要し、スロット構成によるテストヘッドへの組み込みは非現実的である。

1.3.2 新 RF モジュールの構造

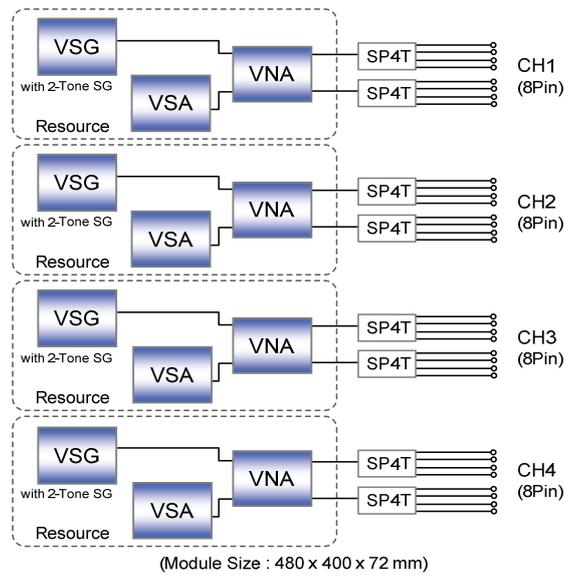
これらの技術課題を解決するために、従来の HBIC に代わり新たに開発した RF-SiP を、YIG 発信器を用いたシンセサイザに代わり高速周波数セトリング並び高周波数分解能を有する PLL-LSI を用いた RF シンセサイザ SiP をそれぞれ使い、RF モジュールの RF テスタフロントエンドを構成した。さらに、RF テスタ用途に特化した高速電力レベルセトリング性能を有する GaAs 高電子移動度トランジスタ (HEMT) プロセス技術を開発し、これを RF 信号切り替えおよびステップアッテネータ MMIC に適用した。これらの技術開発により、RF モジュールの大幅な小形化と RF テスタ時間の短縮が可能となった。その結果、テストヘッドの 3 スロット分のスペースに 4 チャンネルを集積化し、かつチャンネル当たりのスループットが大幅に向上した RF モジュールを開発することに成功した[1.9]。この新 RF モジュールにより、RF のテスト・コストの大幅な削減が可能となる。これら新 RF モジュールの小形化の立役者である RF-SiP 並び RF シンセサイザ SiP の構造ベースとなる基板材料には高周波アプリケーションに適した多層 LTCC (Low Temperature Co-fired Ceramics) を用いた。LTCC は高周波性能に優れるだけでなく、RF テスタ向けのような多品種少量の生産対象に対してもコストパフォーマンスに優れる利点がある[1.10], [1.11]。RF シンセサイザ SiP に関しては大幅な小形化を達成したことに加え、RF テスタに求められる高速周波数セトリング並び高周波数分解能を実現した。RF シンセサイザ SiP については 5 章で詳しく述べる。さらに高速電力レベルセトリング性能を持つステップアッテネータおよび SP4T

スイッチ MMIC を開発しこれらを組み込むことにより，従来のステップアッテネータおよび SP4T スwitch の各 HBIC を SiP 化した．高速電力レベルセトリング性能は RF モジュールのスループット向上に大きく貢献する．ステップアッテネータ SiP および高速電力レベルセトリング MMIC については 4 章で詳しく述べる．

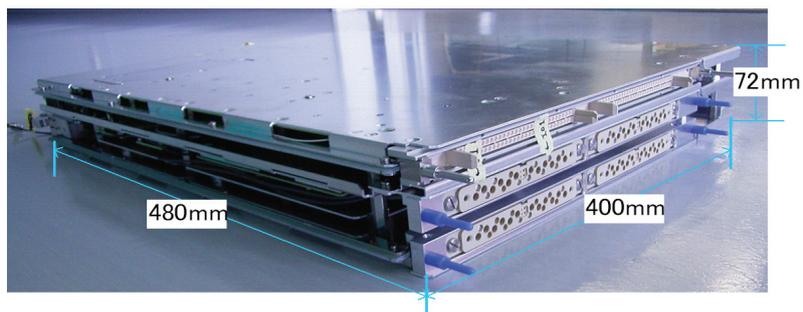
図 1.7(a)に新 RF モジュール構造の概略を示す．4 チャンネル分の VSG, VSA および VNA 機能を各 4 枚の RF フロントエンドボード (RF ボード)，デジタル中間周波数ボード (DIF ボード)，RF シンセサイザボード (SYN ボード) で構成している．DIF ボードは中間周波数 (IF) 以下の周波数信号をデジタル信号処理するボードである．新 RF モジュールはそれぞれ完全独立の VSG, VSA, VNA を持つ 4 チャンネル・フルリソース RF モジュールとなっている．VSG には正弦波発生用信号源が付加されており，2 トーン歪波形テストも可能である．新 RF モジュールのリソース構成およびモジュール外観を図 1.7(b), (c)に示す．新開発の RF-SiP の適用により，4 つの各チャンネルが完全独立で RF 測定が可能なフルリソース RF モジュールを 480 mm × 400 mm × 72 mm の小形サイズで実現した．本 RF モジュールは 3 スロット分の占有容積に収められており，最小構成のテストヘッドに複数台の RF モジュールを組み込むことが可能である．更に，従来の RF モジュールと比較して，1 チャンネル当たりのスループットは大幅に向上している．



(a) モジュール構造



(b) リソース構成



(c) モジュール外形

図 1.7 新 RF モジュール構造

第2章 RF-SiP 技術と RF テスタフロントエンドの小形化

2.1 RF-SiP

2.1.1 RF-SiP の要素技術

メタルケースでシールドされた複数の HBIC を，同軸コネクタと同軸ケーブルを用いて接続し構成する従来の RF フロントエンド構造は，広帯域に亘り高アイソレーションと低損失な伝送特性が得られる理想的な構造である．加えて各機能に適したディスクリートデバイスを用いて設計できるため，HBIC は RF テスタの高性能化に適している．RF テスタに求められる 4 つの基本性能を表 2.1 に示す．これら 4 つの基本性能において従来構造の高性能を保ちつつ RF モジュールを大幅に小形するために，本研究の RF-SiP に課せられた技術課題は以下の 2 つに大別される．

1. LTCC 技術（構造）： LTCC 構造での良好な広帯域伝送特性の確保
2. IC 技術（デバイス）： IC によるディスクリートデバイス回路性能の実現

本研究では，RF テスタフロントエンドを，図 2.6，図 2.7 に示すように 12 種類，14 個の RF-SiP を用いて 1 ボードに集積化した RF フロントエンドボードと，5 章で述べる RF シンセサイザ SiP を 4 個用いて 4 つの RF シンセサイザを 1 ボードに集積化した RF シンセサイザボードの，2 枚のボードで実現することに成功した．これを達成した要素技術を表 2.2 に示す．表中，本研究の実現手段が今回開発した内容であり，上段が上記で大別した①に，下段が②に対応する．表 2.1 と表 2.2 を関連付けて RF-SiP の技術開発の内容を以下のように要約する．

- ・ 周波数コンバート機能： 従来，ショットキーダイオードと巻線トランスによるバラシ回路および平面回路形フィルタで達成された低歪み，低スプリアス特性を，GaAs プロセスを用いたレジスティブミキサと LTCC 内層フィルタで実現．

- 電力レベル可変アッテネータ機能： PIN ダイオードを用いた多段アッテネータ回路セルとメタルケースシールド構造で達成された高速電力レベルセトリングおよび高アイソレーション特性を，高速 GaAs-HEMT プロセスを用いたステップアッテネータ MMIC と高アイソレーション LTCC キャビティ構造で実現。
- リフレクトメータ機能： 従来，メタルケース形広帯域方向性結合器とショットキーダイオードを用いたディスクリットミキサ並びアンプで達成された高速電力レベルセトリングおよび高アイソレーション特性を，高速 GaAs-HEMT プロセスを用いたステップアッテネータ MMIC と高アイソレーション LTCC キャビティ構造で実現。
- RF シンセサイザ機能： ディスクリット VCO (Voltage Controlled Oscillator) と多重ループ PLL で達成られた低位相雑音と高速周波数セトリングを，13 バンド VCO と 48bit $\Delta\Sigma$ モジュレータから成る PLL-LSI を用いたシングルループ PLL にて実現。

表 2.1 RF テスタに求められる基本性能

基本性能	関連する特性項目
①広帯域	(全特性項目に共通)
②高測定確度	・アイソレーション ・ディレクティビティ(方向性) ・位相雑音
③高ダイナミックレンジ (DR)	・低歪、低スプリアス ・チャンネル間クロストーク
④高速性能	・電力レベルセトリング ・周波数セトリング

表 2.2 基本回路機能の SiP 化に必要な要素技術

4つの基本機能回路	重点性能項目 (右端の各番号は表1の基本性能に対応)	性能実現手段(上段: 構造、下段: デバイス)	
		従来(HBIC)	本研究(RF-SiP)
周波数コンバータ	・低歪み、低スプリアス: ③	平面フィルタ、巻線トランス ショットキーダイオード	LTCC内層フィルタ レジスタティブミキサMMIC
電力可変アッテネータ	・高アイソレーション: ② ・高速レベルセトリング: ④	メタルケースシールド PINダイオード	LTCCキャビティ構造 高速アッテネータMMIC
リフレクトメータ	・高ディレクティビティ: ② ・低歪み、低スプリアス: ③ ・チャンネル間クロストーク: ③	メタルケースカブラ ディスクリットミキサ、アンプ	LTCCカブラ MMICアンプ+RFICミキサ
周波数シンセサイザ	・低位相雑音: ② ・高速周波数セトリング: ④	多重ループPLL ディスクリットVCO	単ループPLL PLL-LSI

以上の研究技術に基づいて、各機能をすべて SiP 化し RF テスタフロントエンドを構成した。1 チャンネル分の全容を図 2.1 に示す。RF シンセサイザボードは 4 つの RF シンセサイザ SiP で構成される。一方 RF ボードは 12 種類 14 個の RF-SiP で構成されるが、先にも述べたように技術要素から、①周波数コンバート機能（橙丸）、②リフレクトメータ機能（赤丸）、電力レベル可変アッテネータ機能、の 3 つの主要カテゴリに分けられる。SP4T-SiP やスイッチ機能 SiP は、技術的には電力レベル可変アッテネータ機能の延長技術である。

図 2.1 の各種 SiP の中で、リフレクトメータ SiP、電力レベル可変ステップアッテネータ SiP、RF シンセサイザ SiP の 3 アイテムが本研究の主要技術テーマであり、また RF テスタフロントエンドの小形化にもっとも寄与した SiP であるため、各 SiP 化技術について 3 章、4 章、5 章で詳しく述べる。

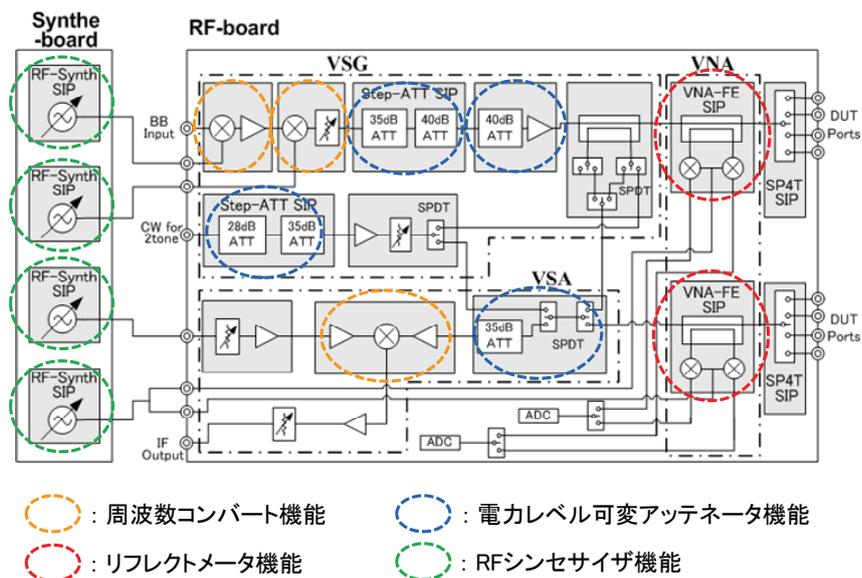


図 2.1 RF テスタフロントエンドの SiP 化の全容（1 チャンネル分）

2.1.2 LTCC 実装技術

さて、LTCC を用いた RF-SiP の広帯域性能については、全 SiP 共通の要素技術であるため、この章で述べておく。特に RF-SiP 内部および SiP 間のアイソレーションや、ボール・

グリッド・アレイ (BGA) を用いた SiP と RF ボードの接続部におけるインピーダンス整合を如何に保つかは大きな課題である。

RF-SiP の断面構造の概略を図 2.2 に示す。SiP 内部の回路素子間アイソレーションを確保するため、高いアイソレーションを必要とする SP4T スイッチやステップアッテネータ等の MMIC チップを LTCC 基板に設けたキャビティに実装した[2.1]。キャビティはその周囲を接地用ビアホールおよび接地導体面で囲み、さらに接地導体面上にメタルキャップ (インナーキャップ) を配置して電氣的遮蔽を強化し、周辺回路とのクロストークを抑えた。例えば、40 dB のステップアッテネータ MMIC を SiP 内に実装しその性能を保つには、MMIC 入出力間において 60 dB 以上の周辺アイソレーションが必要である。詳しくは 4 章で述べる。このメタルキャップを備えたキャビティ構造は、SiP 内部における周辺回路およびベアチップ間のクロストークを低減し、広帯域に亘り高いアイソレーションを確保するのに有効である。ベアチップはすべてフェースアップで LTCC に実装され、Au ボンドワイヤによりマイクロストリップ・ラインに接続する。この構造により、多種多様な標準 SMD (Surface Mount Device) 部品やカスタム設計の GaAs MMIC (Monolithic Microwave Integrated Circuit) , Si RF-IC ベアチップを、その性能を劣化させることなく SiP 内に集積することが可能である。また、多種 SMD 部品を用いてバイアス回路や制御回路も SiP 内に集積化される。LTCC は 10 層の誘電体層と 11 層のメタル層から成っており、この中の任意複数の誘電体層とメタル層を用い、ストリップ線路構造を基本構造とした方向性結合器やバンドパスフィルタ(BPF)といった受動回路を SiP 基板内に作りこむことが出来る。

LTCC の全層を含む基板レイアウトの概略を図 2.3 に示す。BPF は図 2.4 に示すように誘電体層 8 層とメタル層 3 層を用いて、エッジカップルド・ストリップ線路方式のインターデジタル BPF[2.2]で設計した。方向性結合器は 9 層の誘電体層および 4 層のメタル層にて、オフセット結合形ストリップ線路構造で設計した。方向性結合器の設計については 3 章で詳しく述べる。伝送路間および回路素子間の十分なアイソレーションを確保するために、

回路素子間をつなぐ伝送線路にはマイクロストリップ・ラインよりも遮蔽性に優れたストリップ線路を極力用いるようにレイアウト設計に配慮した。SiP 内の接地導体面領域内には 300 μm ピッチで多数のビアホールを配置した。これによりストリップ線路間のアイソレーションはさらに改善される[2.3], [2.4]。図 2.5 のビアホール配置を備えた本構造のストリップ線路において、高周波伝搬の基本モードである TE₁₀ モードの遮断周波数は次式で与えられる[2.3]。

$$f_c = \frac{c}{2\sqrt{\epsilon_r}(dx - d)} \quad (2.1)$$

C は真空中の光速，dx はビアホール間隔であり，d は次式で与えられる。

$$d = \frac{2}{1 + \sqrt{2}} 2r \quad (2.2)$$

2r はビアホールの直径である。SiP は全体を外部メタルキャップで密閉される。LTCC 基板は比誘電率 $\epsilon_r = 7$ ，誘電正接 $\tan\delta = 0.004$ @ 1.0 GHz の 100 μm 厚の 10 層の誘電体層で形成される。キャビティの形成にはこのうちの上層から 5 層分の誘電体層が充てられる。ビアホールの直径 2r は 100 μm である。以上の LTCC 基板材料定数および設計定数と式(2.1)，式(2.2)から，本 SiP におけるストリップ伝送線路の遮断周波数 f_c は 260 GHz と算出される。この値は本 SiP の最大設計周波数の 20 倍以上であり，今回の LTCC のデザイン・ルールに基づいて，TE₀₁ や高次モードの発生を心配することなく設計することが可能である。

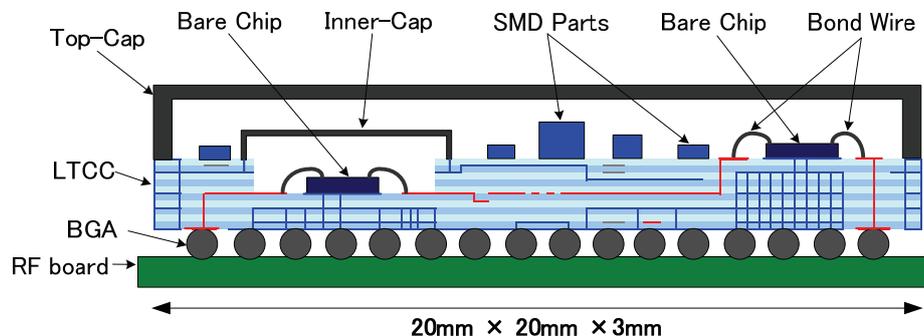


図 2.2 RF-SiP の断面構造

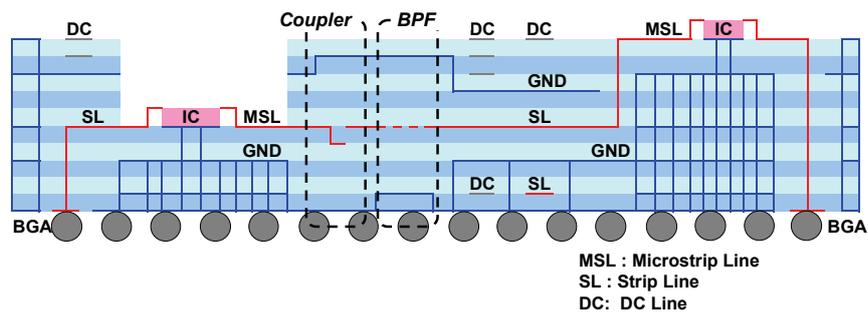


図 2.3 LTCC の詳細断面

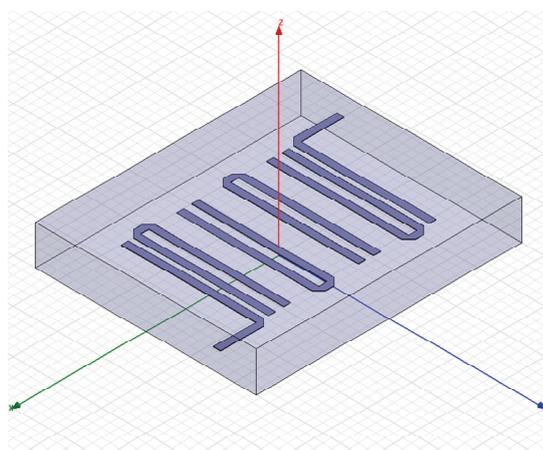


図 2.4 LTCC 内蔵 BPF の構造

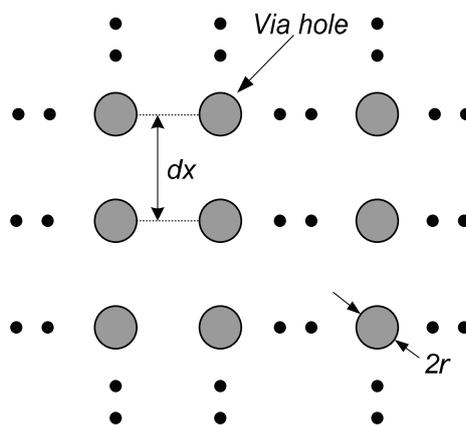


図 2.5 LTCC のビアホール配置

2.1.3 RF フロントエンドボードの構造

各 SiP は BGA を用いてハンダリフローにて RF ボードに取り付けられる。RF フロント

エンドボードの外観およびブロック図を図 2.6, 図 2.7 に示す. 図 2.6 に示すように, RF フロントエンドボードは RF ボード上に 12 種類, 合計 14 個の RF-SiP を実装して構成される.

また 5 章で説明するように, RF シンセサイザボードは 4 個の RF シンセサイザ SiP をボード実装して構成する. 各 SiP 間を接続する RF ボード内の伝送路にはストリップ線路を用いた. RF フロントエンドボードの構造を図 2.8 に示す. LTCC 基板と同様に, 導波管モードおよび並行平板モードを抑えるために RF ボードの接地導体面内に多数のビアホールを狭ピッチで配置した.

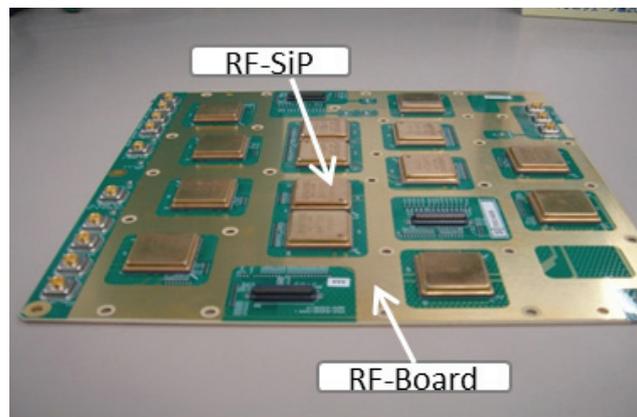


図 2.6 RF フロントエンドボードの外観

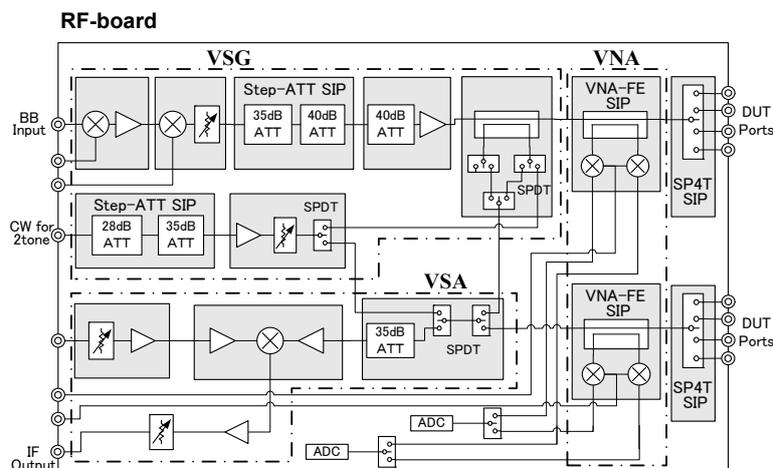


図 2.7 RF フロントエンドボードブロック図

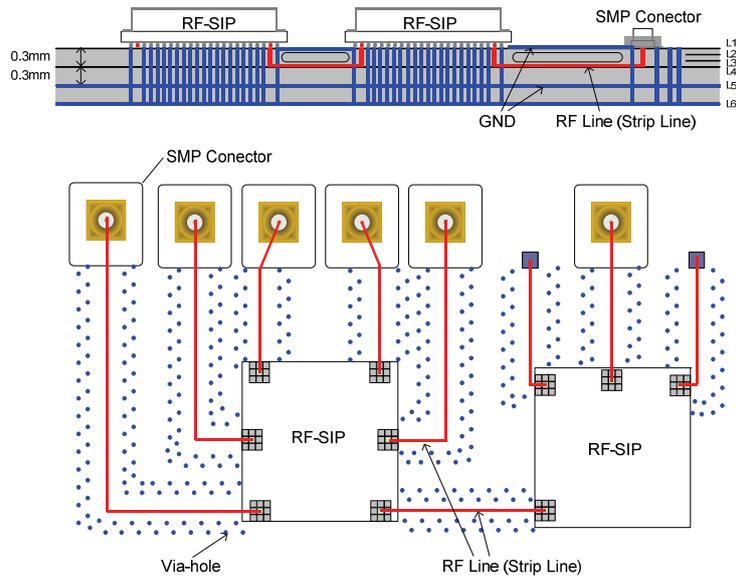


図 2.8 RF フロントエンドボードの構造

BGA を用いた SiP と RF ボード間の RF 信号接続部の構造を図 2.9 に示す。この接続部のインピーダンス不整合を防ぐため、LTCC 側の信号伝送用ビアホール並び RF ボード側の信号伝送用ビアホールをそれぞれ 8 個の接地用ビアホールで囲み、各ビアホール間を BGA 接続することで疑似同軸構造を形成した。この疑似同軸構造の特性インピーダンスを 50Ω とするよう、接地用ビアホールと信号伝送用ビアホールの間隔を最適化した。また、LTCC のストリップ線路に容量性スタブを設け、信号伝送用ビアホール間を接続する BGA がもたらす寄生インダクタンスの残留分を補償した。RF ボード側のストリップ線路には、信号伝送用ビアホールとストリップラインとの接続部における寄生容量を補償するため、ハイインピーダンス部を挿入した。図 2.9 の構造体における HFSS による電磁界シミュレーション結果を図 2.10 に示す。16 GHz までの周波数帯で LTCC と RF ボードの接続部全体で 27 dB 以上のリターンロスが得られている。12 種類の RF-SiP 並び RF シンセサイザ SiP の寸法は全種共通で、20 mm × 20 mm × 3 mm である。

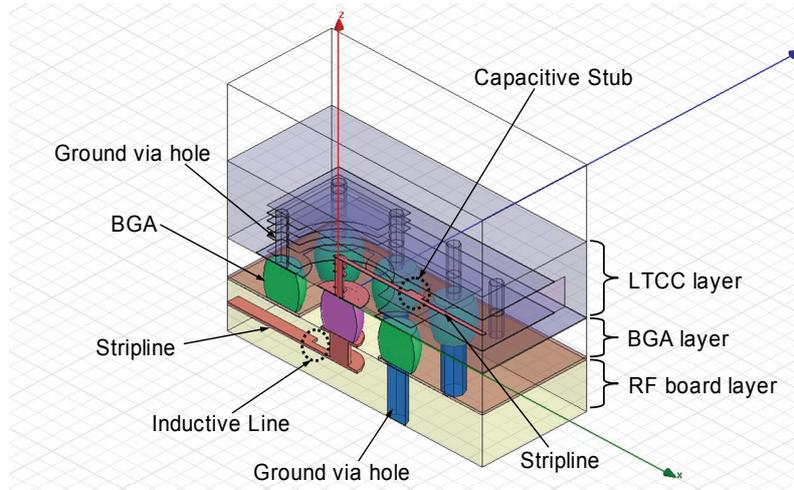


図 2.9 RF 信号接続部の構造

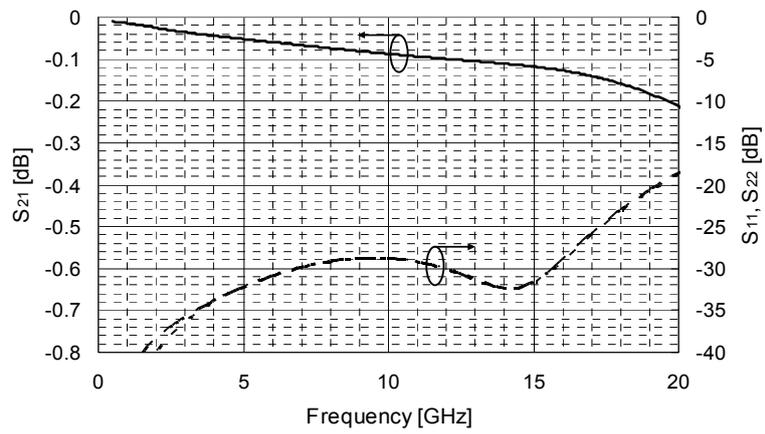
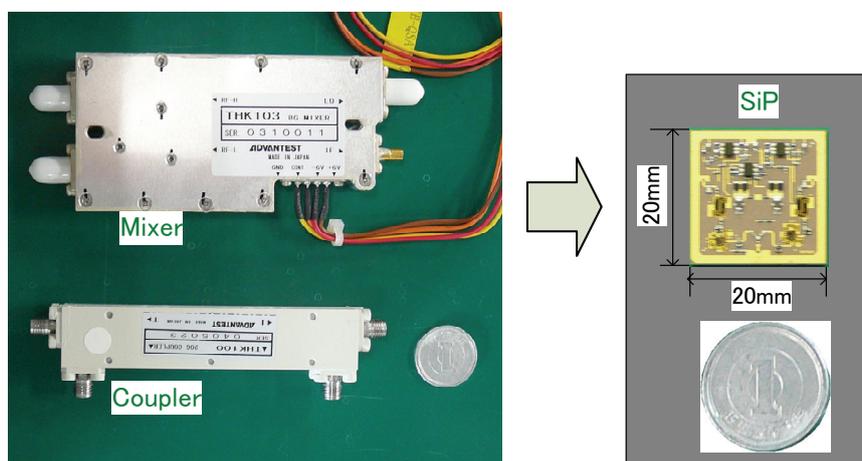


図 2.10 電磁界シミュレーション結果

第3章 リフレクトメータ SiP

この章では、VNA 機能の最重要回路であるリフレクトメータの SiP 化について述べる。まずリフレクトメータを構成する個別機能回路に起因する測定誤差要因を検証し、続いてこれら誤差要因を低減するための個別機能回路の設計のポイントと特徴、されにそれらを用いての SiP 化の設計検証を述べ、最後に試作結果について説明する。広帯域方向性結合器を 20 mm x 20 mm x 3 mm の LTCC 基板に内層化すると共に、リフレクトメータ SiP の実現に適した MMIC 並び RF-IC を設計しこれらを SiP に集積化することにより、図 3.1 に示す通りサイズを対従来構造比で 50 分の 1 以下にした[3.1], [3.2]。VNA 機能に対する目標性能は、測定ダイナミックレンジでは周波数範囲 400 MHz から 12 GHz で 90 dB、反射測定においては 400 MHz から 6 GHz にて環境温度 $25 \pm 7^\circ\text{C}$ で 15 dB の反射損失を ± 1 dB の確度で測定すること、となる。



HBIC (Left Figure)

Directional Coupler : 20 mm x 90 mm x 13 mm

2 Mixers + 2 Amplifiers : 48 mm x 90 mm x 13 mm

SiP (Right Figure)

Directional Coupler + 2 Mixers + 2 Amplifiers

: 20 mm x 20 mm x 3 mm

図 3.1. SiP 化によるリフレクトメータの小形化

3.1 ベクトルネットワーク測定における誤差要因

リフレクトメータにおける方向性結合器の方向性や、各回路間の不整合などによるシステムハードウェアの不完全性がもたらす誤差は、さまざまに考案された校正手法により補正可能である[3.3]-[3.5]。しかしながら測定時においては、校正直後の補正は経時変化などシステムの特性変動により不完全となる。したがってリフレクトメータの SiP 化においては各個別機能回路の性能限界だけでなく、それらを接続した際のシステム上の誤差要因を十分考慮して設計する必要がある。本章では、リフレクトメータの SiP 化において最も注意すべき測定誤差要因である方向性とダイナミックレンジについて検証する。この検証は個別機能回路の設計における重点課題を把握する上で重要である。

3.1.1 測定アーキテクチャ

2ポート VNA の基本構成を図 3.2 に示す。基準信号および DUT への評価信号を与える信号源と 1 組のリフレクトメータとローカル信号源とアナログ・デジタルコンバータを含む比較器から構成される。リフレクトメータは VNA の性能を決めるうえで最も重要な機能回路で、主な構成回路は信号分離のための方向性結合器と 1 組の受信ミキサである。S パラメータは方向性結合器の各結合出力ポートの出力波 b_1, b_2, b_3, b_4 の測定値より S_{11} は b_2/b_1 , S_{21} は b_3/b_1 より、 S_{22} は b_3/b_4 , S_{12} は b_2/b_4 よりそれぞれ求められる。なお、図 3.2 の各リフレクトメータの 2 つ受信ミキサの IF 出力端子において基準信号側を R-ch, DUT 側を A-ch と呼ぶことにする。高い測定精度を得るためには、信号分離の完全性を与える方向性結合器の方向性と受信ミキサのダイナミックレンジが重要で、VNA の性能はリフレクトメータに大きく依存する。

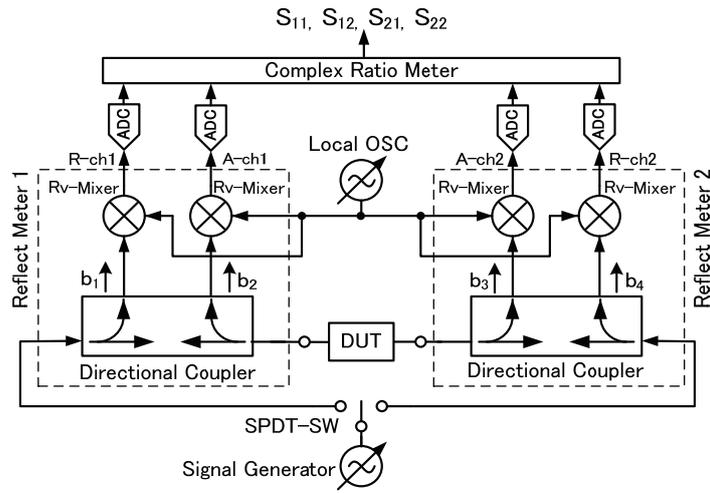


図 3.2 2ポート VNA の基本構成

3.1.2 有限な方向性がもたらす測定誤差

(1) 方向性結合器の方向性による誤差

図 3.3 にリフレクトメータの基本ブロック図を示す。方向性結合器と 1 組のアイソレーションアンプと 1 組の受信ミキサで構成される。VNA の比較測定では、信号源からの信号を基準信号 (R-ch) と DUT への評価信号に分離すること、並び DUT の入力端子における反射波から評価信号 (A-ch) を分離することが必要となる。この信号分離を行う回路には方向性結合器が通常用いられる。方向性結合器と受信ミキサ間にアイソレーションアンプを配置する主目的は、受信ミキサのローカル信号が測定ポート P_1 , P_2 へ漏えいするのを抑圧することである。リフレクトメータの方向性結合器において最も重要な性能は方向性であり、これは上述した信号分離の完全性を決めるもので、VNA の比較測定精度にとって大変重要である。方向性はディレクティビティ (*DIR*) と呼ばれ、方向性結合器の結合度を *CP*、通過損失を *IL_C*、アイソレーションを *ISO* とすると以下の式で与えられる。

$$DIR = ISO / (CP \times IL_C) \quad (3.1)$$

デシベル表示では

$$DIR(dB) = ISO(dB) - CP(dB) - IL_C(dB) \quad (3.2)$$

となる。方向性結合器を用いた VNA 測定では、DUT 測定ポート以外のポートを特性インピーダンス (50 Ω) に整合する必要があるが、整合からのずれは測定誤差をもたらす。システムハードウェアの性能が常に安定で校正が完全であればディレクティビティによる誤差は補正により取り除かれるが、校正後における後述するシステムディレクティビティの温度変動により、方向性結合器のディレクティビティが不十分であるほど測定精度は低下する。システムディレクティビティの温度安定度やリフレクトメータから DUT までの損失に依存するが、次項で述べるように、RF テスタの反射測定では方向性結合器に -15 dB 程度のディレクティビティが必要となる。なお本論文では、デシベル表示にて負の値が大きいほどディレクティビティが良いことを示すこととする。

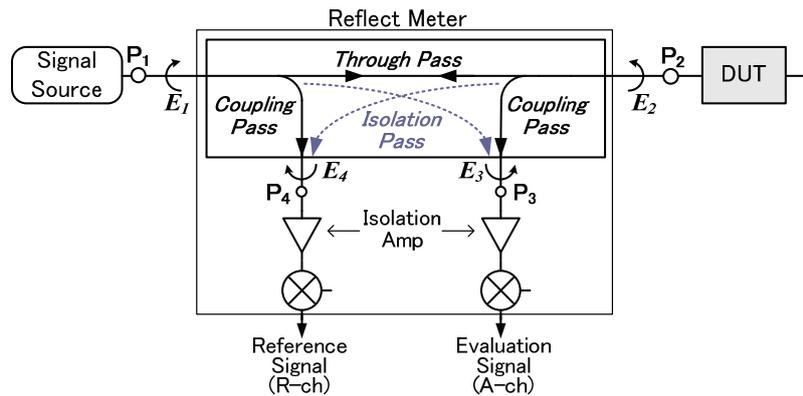


図 3.3 リフレクトメータのブロック図

(2) システムディレクティビティと反射測定ダイナミックレンジ

方向性結合器に要求されるディレクティビティを検証するために、ここでシステムディレクティビティについて説明する。RF テスタシステム全体からみた DUT に対するディレクティビティは、方向性結合器のディレクティビティから、方向性結合器から DUT までの損失の往復分を差し引いた値となり、これをシステムディレクティビティ DIR_{sys} と呼ぶ。

図 3.4 に、リフレクトメータと DUT 間における SP4T-SW (Single Pole, Four Throw Switch

)と伝送路の合算損失 IL を加えた RF テスタの DIR_{sys} を示した。6 GHz では IL は約 5 dB であるため、方向性結合器のディレクティビティを-15 dB とすると DIR_{sys} は-5 dB 程度となる。

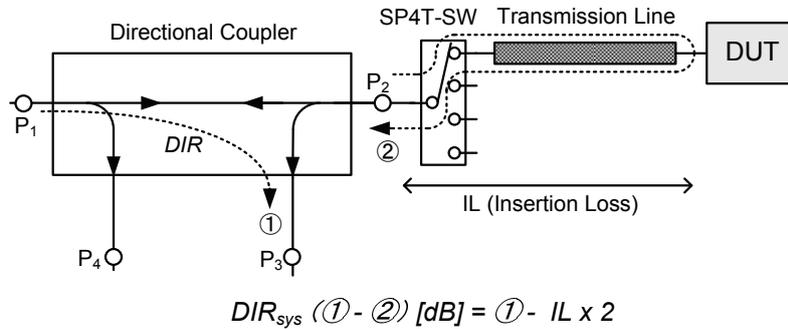


図 3.4 システムディレクティビティ (DIR_{sys})

次に反射測定における精度と DIR_{sys} との関係を導くため、反射測定ダイナミックレンジ DR_{rf} について考える。ここで、冒頭でも述べたように我々の RF テスタの仕様では、環境温度 25 ± 7 °C で 15 dB の反射損失を ± 1 dB の確度で測定すること、となっている。この反射測定の確度を満たすために必要な反射信号測定におけるダイナミックレンジを反射測定ダイナミックレンジと呼ぶことにする。測定確度をパラメータとし、これと測定反射量との電力比較による計算で求めた反射測定量に対して必要な DR_{rf} を図 3.5 に示す。RF テスタで必要な DR_{rf} はおよそ 33 dB であることがわかる。

さて、 DIR_{sys} の温度変動がそのまま DR_{rf} に相当するものとする、VNA 校正時の DIR_{sys} を D_o 、温度変動後の DIR_{sys} を D_t とし、計算上それぞれを電力振幅の真数表示で表すと DR_{rf} と D_o 、 D_t は次式で関連付けされる。

$$DR_{rf} = D_o - D_t \tag{3.3}$$

式(3.3)は、 DIR_{sys} に温度変動が全くなければ DR_{rf} においてその電力振幅は零、すなわちダイナミックレンジは無限大となり、また、同じ温度変動量であっても DIR_{sys} が高ければ DR_{rf} は良い値となることを示している。式(3.3)を変形して、

$$D_t / D_o = 1 - DR_{rf} / D_o \quad (3.4)$$

であり, 上記式(3.4)により DR_{rf} の要求仕様に対する DIR_{sys} の許容温度変動量 D_t/D_o が定まる. 式(3.4)より計算した, DR_{rf} をパラメータにした DIR_{sys} に対する D_t/D_o のプロットを図 3.6 に示す. 図 3.6 の横軸の DIR_{sys} は式(3.4)式の D_o であることを注記しておく. これより 33 dB の DR_{rf} 要求値に対し, -5 dB の DIR_{sys} において許容される温度変動は 0.35 dB となる. 一方, DUT までの伝送路を含めた DIR_{sys} の温度変動は実測した結果 0.025 dB/°C であり, RF テスタ環境温度範囲での変動量は 0.35 dB に相当する.

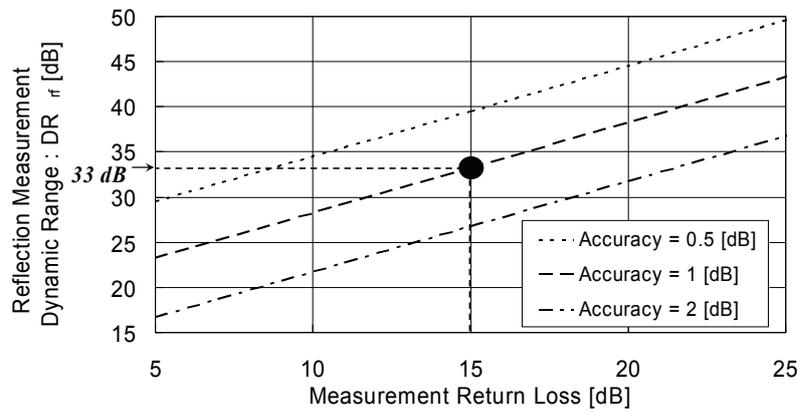


図 3.5 測定精度をパラメータにした反射測定レベルに対して必要な反射測定ダイナミックレンジ (DR_{rf})

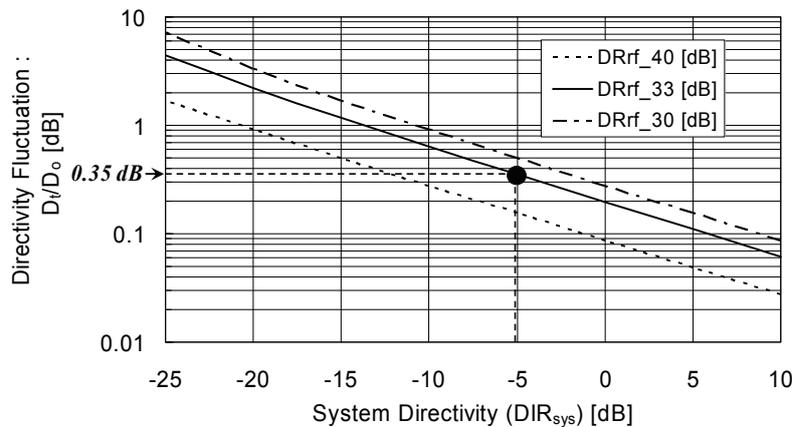


図 3.6 DIR_{sys} の許容変動量と D_o と DR_{rf} の関係

以上から、RF テスタにおける反射測定の要求仕様を満たすためにはリフレクトメータには -15 dB 程度のディレクティビティが必要となることがわかる。

(3) アイソレーションアンプの入ラインピーダンスによる方向性誤差

高周波回路の性能は各ポートの負荷インピーダンスの影響を受ける。図 3.3 の $E_1 \sim E_4$ はリフレクトメータ内の方向性結合器の各ポートに対する負荷からの反射を示している。受信ポート P_3, P_4 における不整合 E_3, E_4 は方向性結合器のディレクティビティを悪化させるため、リフレクトメータのシステムディレクティビティを見積もる際に注意を要する誤差要因である。よってアイソレーションアンプには受信帯域にわたって十分に整合された入力インピーダンスが要求される。

ここで図 3.3 のリフレクトメータにおいて、テストポート P_1, P_2 以外のポート不整合によるディレクティビティの悪化について、シグナルフローグラフを用いて解析する。詳細は文末の付録に記載したとおりであり、結論としてリフレクトメータのディレクティビティ DIR_{RM} は次式で得られる。

$$DIR_{RM} = Z / (X \cdot W) \quad (3.5)$$

Z, X, W は、それぞれ図 3.3 の方向性結合器におけるディレクティビティ、R-ch 側の結合係数、A-ch 側の結合係数に関連したパラメータであり、式(3.5)より E_3, E_4 がディレクティビティを悪化させる要因であることは明らかである。

3.1.3 ダイナミックレンジの限界値による誤差

(1) ダイナミックレンジ

リフレクトメータにおいて、ベクトルネットワーク解析の精度に大きく影響するもう一つの要因はダイナミックレンジである。ダイナミックレンジの上限値はリフレクトメータの線形性が保たれる最大入力電力で定義され、下限は不要波スプリアスを含むノイズフロア

である。線形性が保たれる最大入力を見積もる上で入力 3 次インターセプトポイント $IIP3$ の評価が重要で、特に受信ミキサの $IIP3$ が支配的となる。対数表示において、図 3.3 のリフレクトメータの入力 3 次インターセプトポイント $IIP3_{RM}(dBm)$ は、アイソレーションアンプと受信ミキサの合算の入力 3 次インターセプトポイントを $IIP3_{RV}(dBm)$ 、方向性結合器の結合経路における減衰量（結合損失）を $CL(dB)$ とすると、

$$IIP3_{RM}(dBm) = IIP3_{RV}(dBm) + CL(dB) \quad (3.6)$$

となる。真数表示において $IIP3_{RV}$ は、アイソレーションアンプ並び受信ミキサの $IIP3$ をそれぞれ $IIP3_{Amp}$ 、 $IIP3_{Mix}$ 、アイソレーションアンプの利得を G_{Amp} とすると次式となる。

$$\frac{1}{IIP3_{RV}} = \frac{1}{IIP3_{Amp}} + \frac{G_{Amp}}{IIP3_{Mix}} \quad (3.7)$$

ここで線形入力電力の上限の目安を $IIP3$ から $P_X(dB)$ バックオフした電力で定義すると、ダイナミックレンジの上限値 $P_{max}(dBm)$ は、

$$P_{max}(dBm) = IIP3_{RM}(dBm) - P_X(dB) \quad (3.8)$$

一方ノイズフロア $NFL_{RM}(dBm)$ は、リフレクトメータの信号入力ポートから受信ミキサ出力までの雑音指数 $NF_{RM}(dB)$ と利得 $G_{RM}(dB)$ から、

$$NFL_{RM}(dBm) = -174(dBm) + NF_{RM}(dB) + G_{RM}(dB) \quad (3.9)$$

となる。ここで真数表示において、アイソレーションアンプと受信ミキサの雑音指数を F_{Amp} 、 F_{Mix} とすると、 $NF_{RM}(dB)$ は次式で与えられる。

$$NF_{RM}(dB) = 10 \log \left\{ F_{Amp} + \frac{(F_{Mix} - 1)}{G_{Amp}} \right\} + CL(dB) \quad (3.10)$$

以上により測定分解能 1MHz 時のリフレクトメータのダイナミックレンジは、

$$DR(dB) = P_{\max}(dBm) - NFL_{RM}(dBm) - 60 \quad (3.11)$$

となる． 3.2.5 節では以上の計算プロセスを用いて，リフレクトメータのダイナミックレンジの設計について検証する．

(2) クロストークによるダイナミックレンジ

ダイナミックレンジを見積もる際にもう一つ注意すべき項目はチャンネル間信号クロストークである．この問題を図 3.7 の 2 つのリフレクトメータを用いた 2 ポート測定ブロック図を用いて説明する．この測定ブロックはチャンネル 1 (リフレクトメータ 1 側) 並びにチャンネル 2 (リフレクトメータ 2 側) の各リフレクトメータの測定ポートに SP4T-SW を接続して 4 つの DUT を同時測定する RF テスタでの例を示している．図中経路 1 が測定信号経路で，経路 2 はクロストークの中で最も注意を払う必要のある経路である．

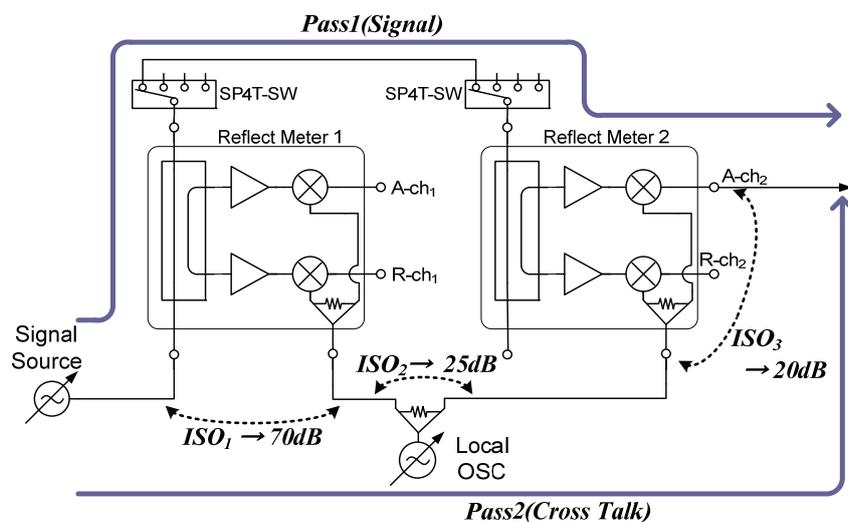


図 3.7 VNA におけるリフレクトメータ間のクロストーク

クロストークによる性能悪化を防ぐため，経路 1 の損失と経路 2 のクロストークとの差を先に述べた要求ダイナミックレンジ以上にすることが必要である．400 MHz～12 GHz において，経路 1 の損失は主に 2 つの SP4T-SW の通過損失とチャンネル 2 の変換損失の合計であり，最大で 18 dB 程度が見込まれる．一方経路 2 においては，ローカル信号の電力分配

器の出力ポート間アイソレーション(ISO_2)は 25~30 dB 程度であるため、測定信号に対するクロストーク抑圧を 100 dB 程度確保するためには、電力分配器を除くチャンネル 1 とチャンネル 2 の合計($ISO_1 + ISO_2$)で 90 dB 程度のアイソレーションが必要となる。このうちチャンネル 1 内のクロストークについては、3.2.4 節で述べる受信ミキサにおけるローカルバランのアイソレーション効果によって十分抑圧されるが、チャンネル 2 に関しては、受信ミキサのローカルポートから漏れこんだ測定基準信号は経路 1 の主信号と同じ IF に変換され、クロストーク抑圧はあまり期待できない。

3.2 リフレクタの SiP 化

3.2.1 リフレクタ SiP の構成

計測器や RF テスタでは MHz 帯から 10 GHz 帯の広帯域にわたり高いダイナミックレンジが要求される。我々は RF-SiP と RF ボードを用いて広帯域フロントエンドの大幅な小形化を達成したことは既に述べたとおりである[3.1]。再度 RF-SiP の構造を図 3.8 に示す。リフレクタにおいては、多層化 LTCC 基板内に広帯域方向性結合器を作りこみ、リフレクタの性能に特化した、高整合・高アイソレーションアンプ MMIC および低歪み・高ローカルアイソレーション受信ミキサ IC をカスタム設計し、LTCC 基板に実装することにより、共通サイズの SiP 化に成功した。

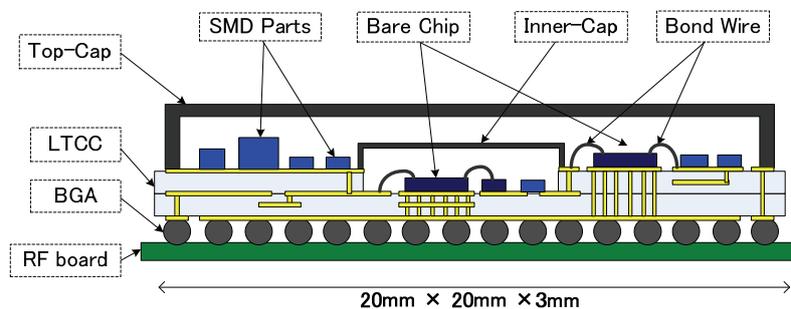


図 3.8 RF-SiP の構造

本 SiP は直径 0.8 mm の BGA (Ball Grid Array) を用いて RF ボードに実装されるため、

RF-SiP の設計において、BGA および LTCC 内層ストリップ線路から BGA への信号引き出し部を含めた伝送路の設計が重要である。ストリップ線路から BGA への信号引き出し部の形状を図 3.9 に示す。2.1.3 節で説明したように BGA への信号引き出し部インピーダンスを 50Ω に合わせるため、信号用ビアホールを 8 個のグランド用ビアホールで囲んだ。同様に信号用 BGA も 8 個のグランド用 BGA で囲んだ。また、BGA のインダクタンス成分をキャンセルするよう、LTCC 内のストリップ線路に容量性スタブを設けた。本構造における 20 GHz までの電磁界解析結果を図 3.10 に示す。18 GHz までの周波数範囲において 30 dB 以上の反射損失が得られている。2.1.3 節の図 2.10 に示した BGA 接続部の解析結果は、RF ボード側の性能を含んだものであり、図 3.10 から、LTCC 単体の BGA 変換部の整合はこれよりさらに 5 dB 程度良いことがわかる。この設計により、方向性結合器から BGA 端子への信号伝送における性能悪化の大幅な改善が見込まれる。

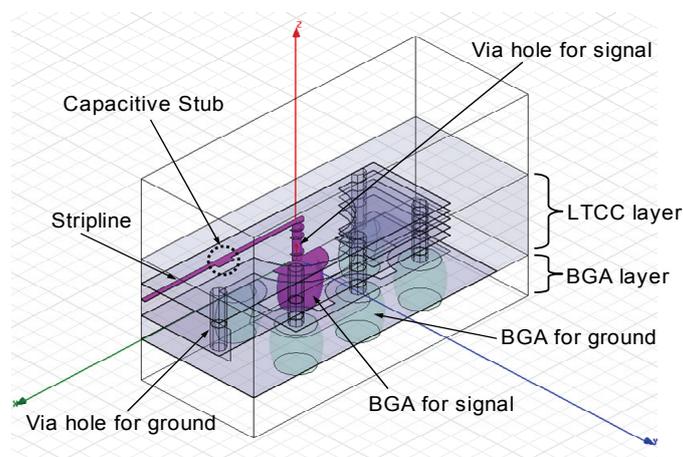


図 3.9 BGA 接続部の構造 : ハーフカットモデル

設計したリフレクトメータ SiP の回路ブロックを図 3.11 に示す。方向性結合器と一組のアイソレーションアンプおよび受信ミキサ、そして電力分配器とから構成される。先に述べたようにリフレクトメータの高性能化において、方向性結合器のディレクティビティ、アイソレーションアンプのアイソレーションと入力インピーダンス、受信ミキサのリニア

リティと RF ポートからローカルポート方向のアイソレーションは重要である。なお 3.2.5 節で詳しく検証するが、アイソレーションアンプの入力インピーダンス不整合に起因するディレクティビティの悪化を防ぐため、方向性結合器とアイソレーションアンプの間に 5 dB のアッテネータを装荷した。アイソレーションアンプと受信ミキサの間にも 5 dB のアッテネータを装荷し、段間不整合によるリニアリティ悪化を抑えるようにした。なおアッテネータの値は VNA に要求される最小受信電力も考慮に入れて決定した。次節以降、各個別機能回路の設計と性能について述べる。

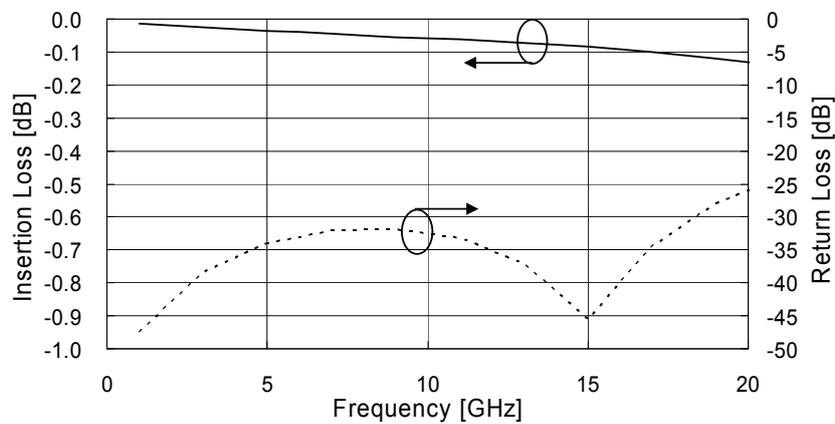


図 3.10 BGA 接続部の電磁界シミュレーション結果

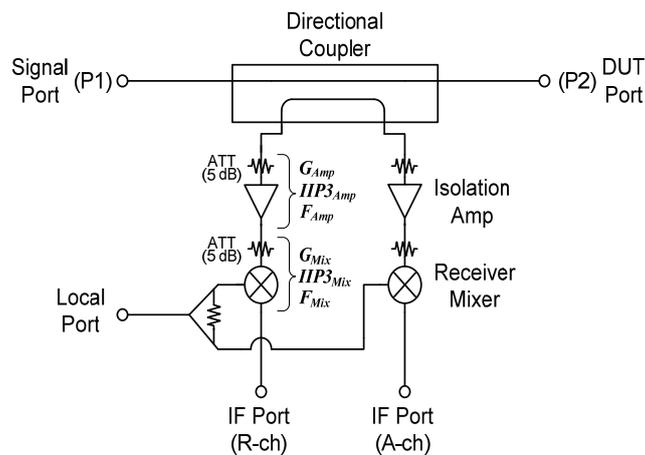


図 3.11 設計したリフレクトメータのブロック図

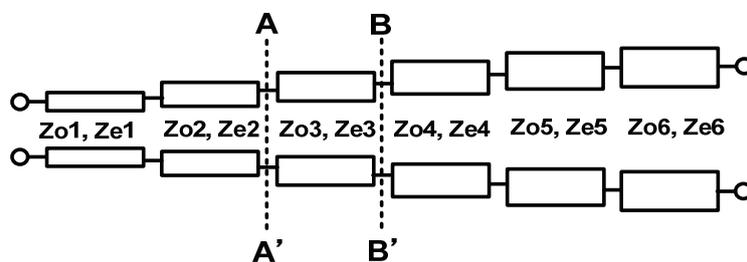
3.2.2 方向性結合器

リフレクトメータ SiP の LTCC 内層形方向性結合器の構造と設計プロセスについて説明する。

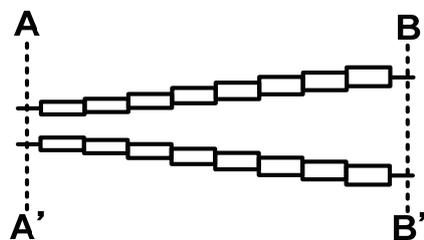
設計した方向性結合器の基本等価回路を図 3.12(a)に示す。LTCC 基盤内に作りこみ可能な寸法で所望帯域において十分な方向性を得るため、非対称の 6 段結合線路形で原形を設計した[3.6], [3.7]。設計帯域を 1.5 GHz から 15 GHz とし、1 段あたりの電気長を設計帯域の中心周波数で 4 分の 1 波長とした。段間の急激な不連続による整合と方向性の悪化を防ぐため、各段をさらに 8 分割し合計 48 段に細分化した (図 3.12(b))。その際、各段の奇モードインピーダンス Z_{oo} と偶モードインピーダンス Z_{oe} を、Agilent テクノロジー社のシミュレータ ADS[3.8]の最適化機能を用いて求めた。 Z_{oo} 、 Z_{oe} の比誘電率には LTCC の比誘電率 $\epsilon_r = 7.0$ を用い、決定した 48 段分の Z_{oo} 、 Z_{oe} の結合線路をオフセット結合形ストリップ線路[3.9]に置き換えた。オフセット結合形ストリップ線路は 9 層分の誘電体層と上下のグラウンドを含む 4 層のメタル層で形成した (図 3.13)。最終的には微細な不連続部を平坦化した後 (図 3.12(c))、上下グラウンドメタルをつなぐビアホールを含めた全体構造において電磁界シミュレータを用いて寸法を決定した。設計した方向性結合器を図 14 に示す。

さて非対称形方向性結合器の設計においては密結合側の Z_{oe} が高いためこれを 50Ω に変換する必要がある。不平衡 50Ω 線路へのモード変換の過程で、結合線路間容量の急激な減少に伴いインダクティブなインピーダンス線路になり、結果的に方向性結合器のリターンロスが劣化する。そこで小スペースでインダクティブなインピーダンスを補償するため、方向性結合器の結合線路に近接する接地プレートを用いた。その効果について電磁界シミュレータで確認した結果を図 3.15 に示す。 P_1 ポートの反射損失 S_{11} が大きく改善されており、良好なインピーダンス変換が図れることがわかる。また、ディレクティブティの大幅な改善も見込まれることがシミュレーションより確認できた。こうして構成した方向性結合器の全長は約 16 mm で、20 mm × 20 mm の LTCC 基板内層に十分作りこみ可能な

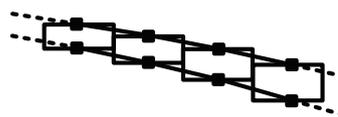
寸法である。シミュレーション結果と測定結果を図 3.16(a), (b), (c) に示す。両者はよく一致しており、400 MHz から 12 GHz において 1.1 dB 以下の通過損失、-15 dB 以上のディレクティビティを有する LTCC 内蔵形方向性結合器を実現した。比較のため同図には、図 3.1 の同軸コネクタ長を除いた全長が 90 mm の HBIC 形方向性結合器の特性もプロットした。結合度において低域側の遮断周波数に差があるもの、通過損失とディレクティビティでは反射測定の要求範囲 400 MHz から 6 GHz でほぼ同等の性能が得られている。なお、この HBIC 形方向性結合器は当社の計測器製品にも使用されている。



(a) 6 段非対称結合線路プロトタイプ



(b) 1 段を 8 つに分割



(c) 段間の平滑化

図 3.12 広帯域方向性結合器の等価回路と設計プロセス

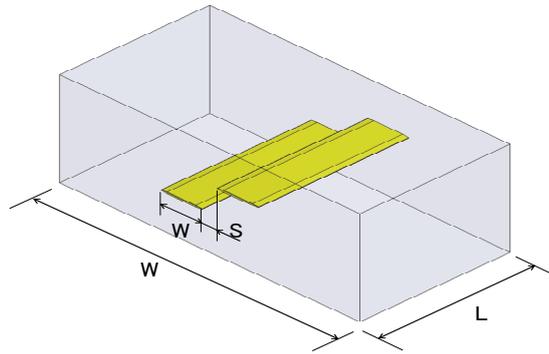


図 3.13 オフセット結合形ストリップ線路

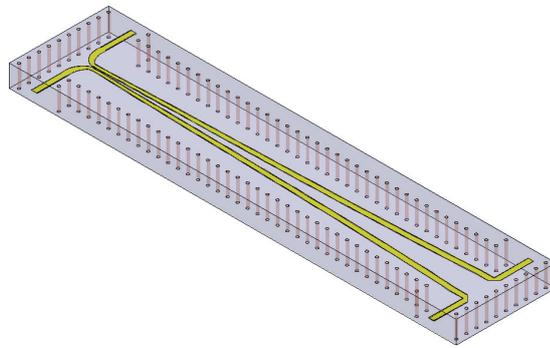


図 3.14 広帯域方向性結合器の構造

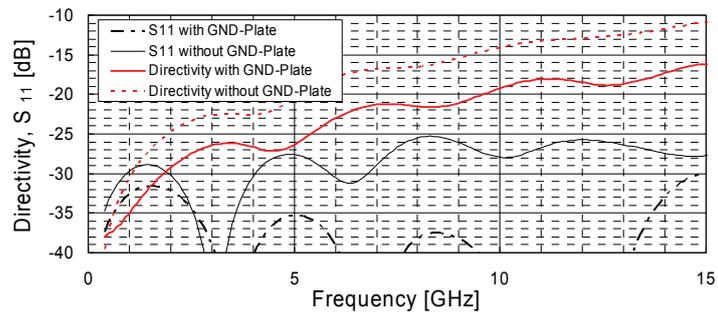
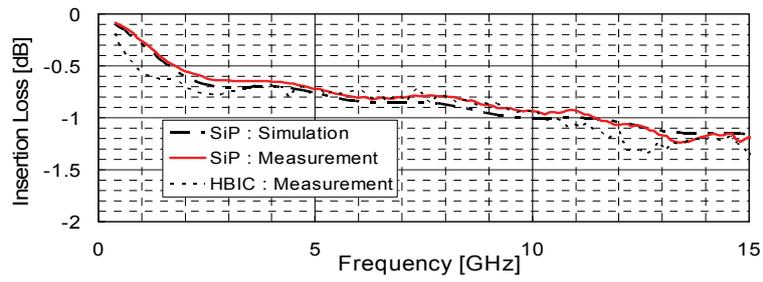
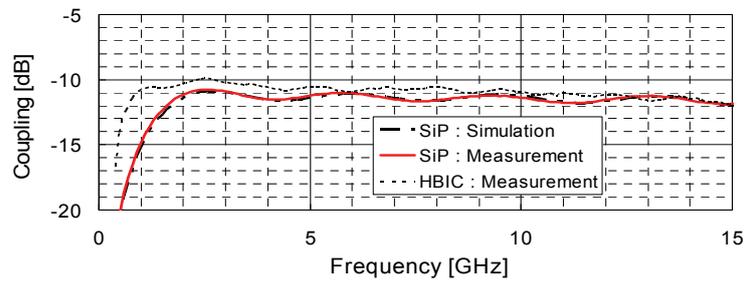


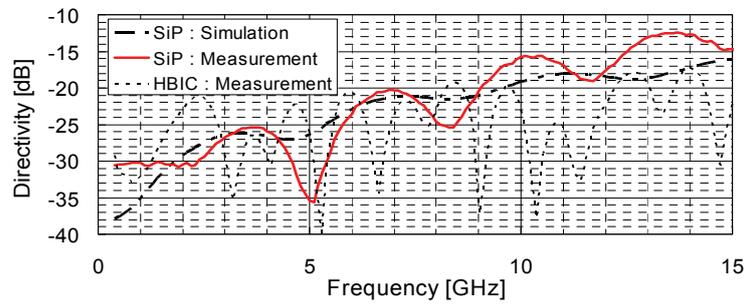
図 3.15 電磁界シミュレーションを用いた図 3.14 の接地プレーンによるディレクティビティと S_{11} の改善効果の確認



(a) 挿入損失



(b) 結合度 (カップリング)



(c) ディレクティビティ

図 3.16 広帯域方向性結合器の電磁界シミュレーション結果

3.2.3 アイソレーションアンプ

3.1.2 節で述べたようにアイソレーションアンプには本来の目的である高アイソレーションの確保に加え、整合のとれた入力インピーダンスが求められる。アイソレーションに関しては、測定信号のクロストークへの影響に加え、ローカル信号の測定ポートへの漏れにより生じる反射スプリアスの問題が重大である。そこで広帯域にわたり十分なアイソレーションを得るため、ソース接地 FET とゲート接地 FET のカスコード接続を単位セルとする 8 段セル構成の分布形アンプとした。設計したアンプの等価回路を図 3.17 に示す。分布形アンプの利得は次式で与えられる [3.10]。

$$G = \frac{g_m^2 R_{01} R_{02} \sinh^2 \left[\frac{n}{2} (A_d - A_g) \right] e^{-n(A_d + A_g)}}{4 \left[1 + \left(\frac{\omega}{\omega_g} \right)^2 \right] \left[1 - \left(\frac{\omega}{\omega_c} \right)^2 \right] \sinh^2 \left[\frac{1}{2} (A_d - A_g) \right]} \quad (3.12)$$

$R_{01} (= \sqrt{L_g / C_g})$ と $R_{02} (= \sqrt{L_d / C_d})$ は分布形アンプにおけるそれぞれゲート伝送線路、ドレイン伝送線路の特性インピーダンスで、 $\omega_g (= 1 / R_1 C_{gs})$ と $\omega_c (= 2\pi f_c)$ はそれぞれ、ソース接地 HEMT 入力部の遮断周波数、ドレイン伝送線路の遮断周波数である。 A_g 、 A_d は各伝送線路の周波数に対する減衰特性を示すパラメータである [3.11]。単位セルにおける段間線路 L_{sd} はゲート接地 FET のゲート・ソース間容量とでフィルタ回路を形成し、単位セルの利得平坦性を図る役割を有している [3.12]。 L_{cg} は高周波帯域の利得を増加する効果を有するが、本アプリケーションにおいてはアイソレーションを最優先に設計し、 $L_{cg} \doteq 0$ とした。

次に入力インピーダンスの改善について述べる。分布形アンプの入出力インピーダンスは入出力終端抵抗 R_g 、 R_d の性能に影響される。終端抵抗を形成する薄膜抵抗には許容電力に応じた面積が必要で、面積に比例した対地容量が寄生し終端回路の周波数特性が劣化する。そこで図 3.18 に示すように、許容電力を満たす面積を 2 つに分散配置することで寄生容量による周波数特性の劣化を抑えた。同図で 1 つの薄膜抵抗で終端回路を構成したものを

Type-1, 2つに分散配置したものを Type-2 とし, それぞれをアンプの入出力終端回路に用いた場合の利得と入力反射特性をシミュレーションした. その結果を図 3.19 に示す. 両者でのアイソレーションアンプ入力インピーダンスに対する効果の違いを見るため 20 GHz までの結果をプロットした. Type-2 を用いた場合, Type-1 に対し入力反射は最悪値で約 3 dB 改善され, 20 dB 以上の反射損失が得られていることがわかる. 3.2.5 節で検証するが, 方向性結合器のディレクティビティの悪化を防ぐためには, アイソレーションアンプの入力反射損失を 20 dB 以上確保する必要がある. 本終端回路による入力反射損失の改善は接続の不整合によるディレクティビティの悪化を防ぐのに有効であると考えられる. アイソレーションアンプは $0.15 \mu\text{m}$ InGaP/InGaAs/GaAs P-HEMT プロセスを用いて設計した. HEMT のゲート幅は $80 \mu\text{m} \times 2$ である.

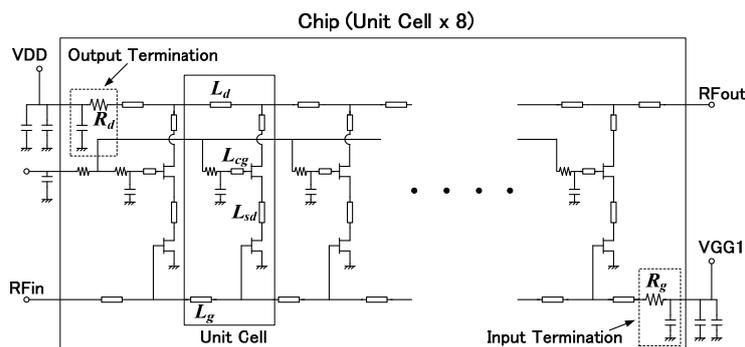
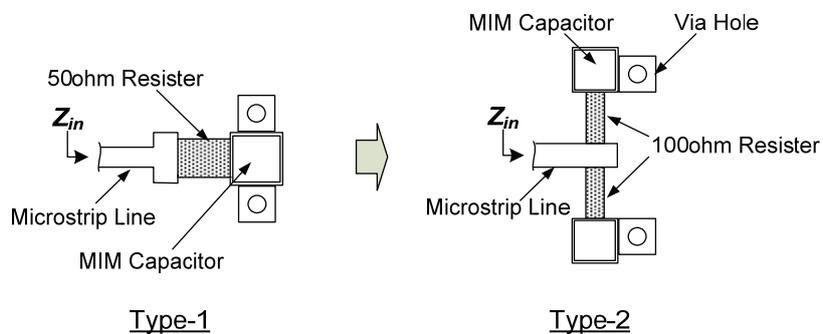


図 3.17 アイソレーションアンプ等価回路



Type-1

Type-2

図 3.18 アイソレーションアンプ終端回路の構造

設計したアイソレーションアンプの測定結果を図 3.20(a),(b)に示す. 400 MHz から 12 GHz において, 利得 10 dB 以上, 入力反射損失 20 dB 以上, アイソレーション 50 dB 以上の特性を得, 雑音指数は 4 dB 以下, IIP3 は+15 dBm 以上を得た.

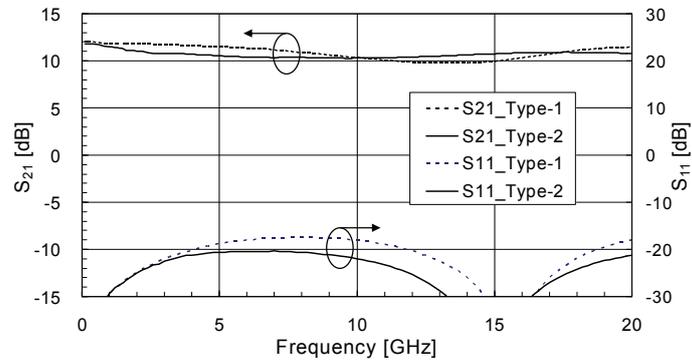
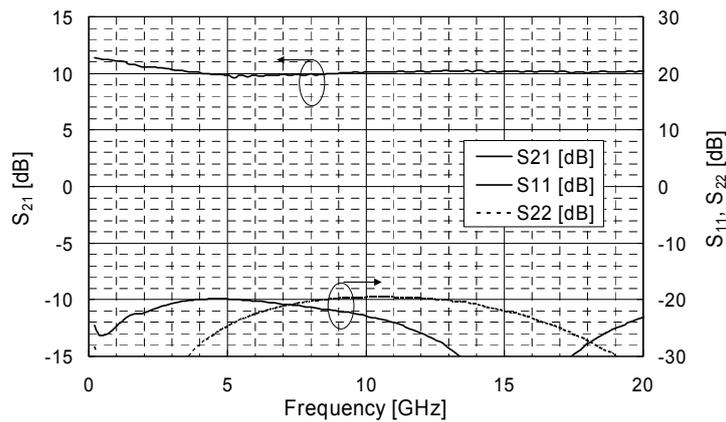
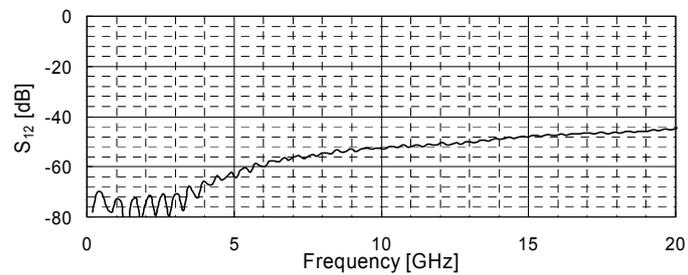


図 3.19 終端回路タイプ 1, 2 におけるアイソレーションアンプのシミュレーション結果



(a) 利得, 入出力反射特性



(b) 逆方向アイソレーション

図 3.20 アイソレーションアンプの測定結果

3.2.4 受信ミキサ

リフレクトメータを SiP 化する上で受信ミキサの 1 チップ IC 化が必須となることから、SiGe BiCMOS プロセスを用いたギルバートセル[3.13], [3.14]を基本回路にミキサを構成することにした。リフレクトメータ用受信ミキサの設計において注力すべき性能は、400 MHz 帯から動作する広帯域性とリニアリティ、そして RF ポートからローカルポートへのアイソレーションである。ミキサの balan 回路に関してはマーチャンド balan に代表される受動回路によるさまざまな構成手法が提案されているが[3.15]-[3.17], これらでは数オクターブに及ぶ広帯域特性を得るのは非常に困難である。一方、トランジスタ差動対回路を用いたアクティブ balan は、MHz 帯から GHz 帯の広帯域にわたり不平衡・平衡モード変換が可能で、また高利得、高アイソレーションを有することから、リフレクトメータの受信ミキサに適している。そこで我々は多段差動対回路を用いたアクティブ回路で balan を構成することにした。アクティブ balan の等価回路を図 3.21 に示す。リフレクトメータ受信ミキサのアクティブ balan にとって最も重要な性能は、広帯域にわたり平坦で十分なローカル電力を受信ミキサに供給することである。そこで我々はアクティブ balan のトランジスタ差動対のエミッタ間に中和コンデンサ C_M を付加し、さらに差動対をカスコードトランジスタで構成することにより、出力電力の周波数平坦度を改善した。この差動対構成による出力電力の周波数特性改善について図 3.22, 図 3.23 を用いて説明する。図 3.22 には Type-1 から Type-3 までの 3 種類の差動対等価回路を示した。Type-1 が基本となる差動対で、トランジスタ Tr_1 , Tr_2 とそれぞれのエミッタ抵抗 R_1 , R_2 で構成される。この差動対で図 3.21 のアクティブ balan を構成した場合の出力電力の周波数特性のシミュレーション結果が図 3.23 の Type-1 の特性である。周波数が増加するにつれて出力電力が大きく減少している。次に Type-2 の差動対を用いた場合の結果が同図の Type-2 となり、周波数特性が大幅に改善している。これは C_M により周波数が高くなるにつれて差動対のエミッター接地間インピーダンスが低くなるためである。しかしながらこの場合でも 10 GHz を超えると

出力電力は低下する。チップ内配線の周波数特性やアクティブバラン入力までの信号損失を考えた場合、周波数の増加とともに若干出力電力が増加する特性となることが望ましい。そこで差動対をカスコードトランジスタにしたのが Type-3 である。Type-2 の特性からさらに高周波側の特性が改善し、400 MHz に対し 6 GHz では 0.4 dB 程度出力が増加し、12 GHz では 1.3 dB 増加している。カスコードにすることでトランジスタのミラー効果を抑え周波数特性を改善するとともに、図 3.21 のアクティブバランの LO_{out} から LO_{in} へのアイソレーションの向上にも役立つことから、3.1.3 節で述べたクロストークの低減にも有利である。

図 3.21 の回路において、差動対 Type-2 と Type-3 をそれぞれ用いた場合の LO_{out} から LO_{in} へのアイソレーションのシミュレーション結果を図 3.24 に示す。ハーモニックバランスシミュレーションを用い、LO_{in} ポートに -20 dBm のローカル電力を供給した状態で LO_{out} ポートに -20 dBm の RF 信号を入力した際の RF 信号におけるアイソレーションをシミュレーションした。Type-3 では 12 GHz で 50 dB 以上のアイソレーションを示しており、ローカル電力でドライブした状態でもカスコード差動対の効果により 3 ~ 5 dB 程度の改善が期待できる。カスコード差動対のエミッタサイズは初段が 0.2 × 4 μm、2 段目が 0.2 × 8 μm である。

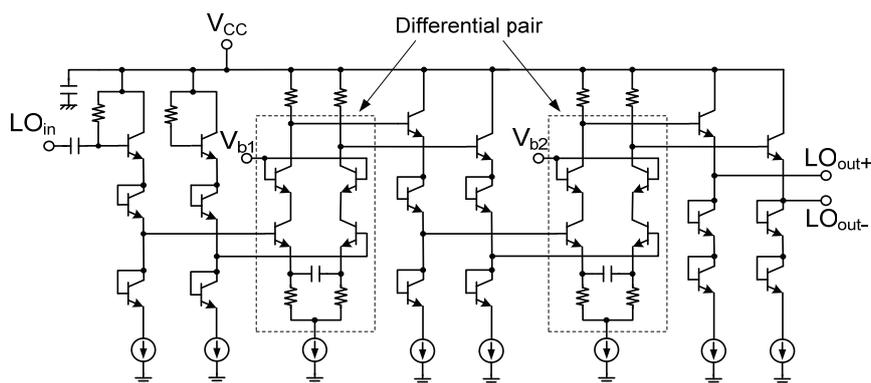


図 3.21 広帯域アクティブバラン等価回路

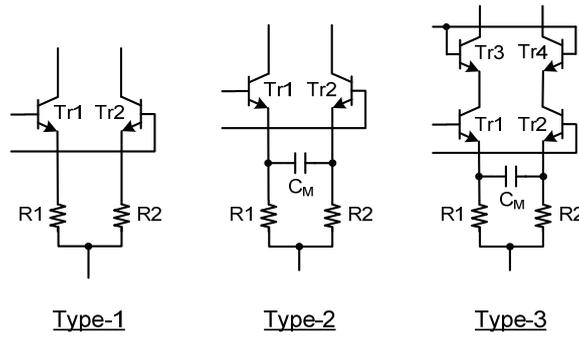


図 3.22 評価した 3 パターンの差動対回路

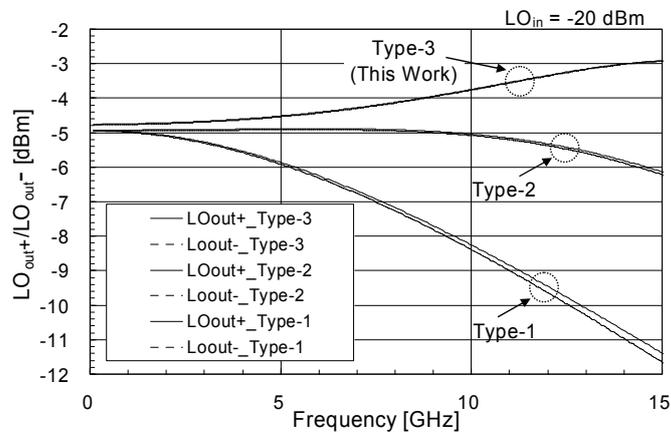


図 3.23 3 パターンの差動対をそれぞれ用いた場合のアクティブバランの出力電力シミュレーション結果

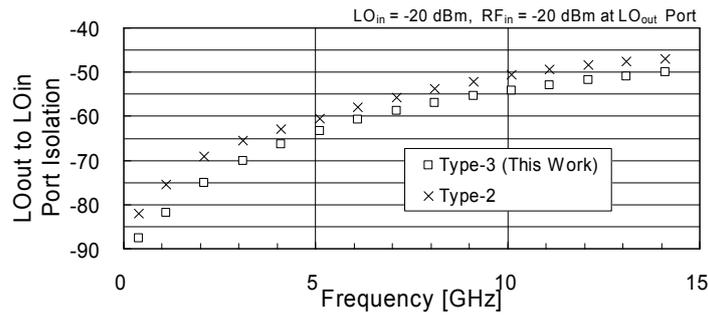


図 3.24 設計したアクティブバランにおける LO_{out} ポートから LO_{in} ポートへの逆方向アイソレーションのシミュレーション結果

次にミキサ部について説明する。ギルバートセルミキサの等価回路を図 3.25 に示す。RF 信号のトランスコンダクタンスへの変換は図中 Q1, Q2 のコモンエミッタトランジスタ段

で行った。トランジスタ段の中和回路にはリニアリティとその周波数平坦度を優先し、コンデンサではなく抵抗 R_E を用いた。 R_E を増加すると受信ミキサにおける RF 入力信号の振幅範囲が広がり、リニアリティが改善されるが、逆に変換利得と雑音指数は悪化する。ギルバートセルミキサの IF 出力電圧はおよそ次式で与えられる。

$$V_{IF} = \frac{e^{v_{LO}/V_T} - 1}{e^{v_{LO}/V_T} + 1} \frac{2R_C V_{RF}}{R_E} \approx \frac{R_C}{R_E V_T} V_{LO} V_{RF} \quad (3.13)$$

V_T はトランジスタのスレッシュホールド電圧である。今回は利得および雑音指数の必要性能を維持しつつリニアリティを最優先に、 R_E を 70Ω とした。受信ミキサは $0.25 \mu\text{m}$ SiGe BiCMOS プロセスを用い 1 チップに集積化した。チップサイズは $0.8 \text{ mm} \times 0.8 \text{ mm}$ である。受信ミキサのシミュレーション結果と測定結果を図 3.26 に示す。両者はよく一致しており、実測において 400 MHz から 12 GHz の帯域で変換利得は 6 dB 以上、雑音指数は 25 dB 以下であった。変換利得は周波数の増加に対してわずかに高くなる傾向にあり、アクティブバランの周波数特性改善が効いている結果となった。 400 MHz から 12 GHz において IIP3 は $+6 \text{ dBm}$ 以上であった。

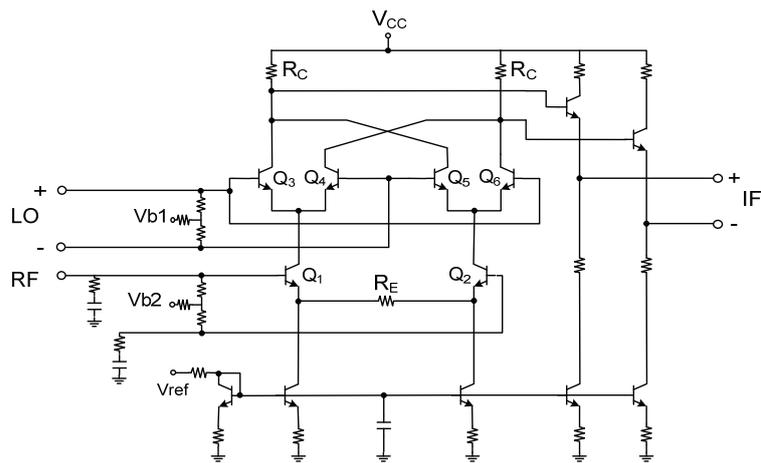


図 3.25 広帯域アクティブミキサ（ギルバートセル）の等価回路

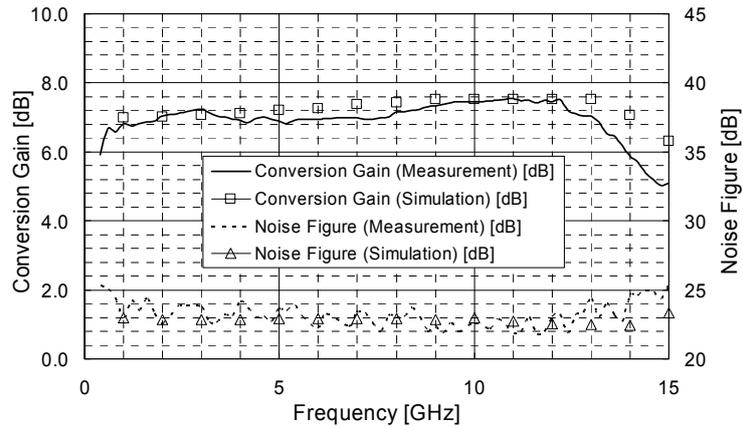


図 3.26 受信ミキサの変換利得と雑音指数のシミュレーションおよび測定結果

一方のミキサのオプション回路として、図 3.25 の中和抵抗 R_E に並列に MOS スイッチと抵抗 R_{Ea} とからなる回路を付加した図 3.27 のミキサ回路を提案する。これはリフレクトメータの最小受信電力を向上させるための回路である。

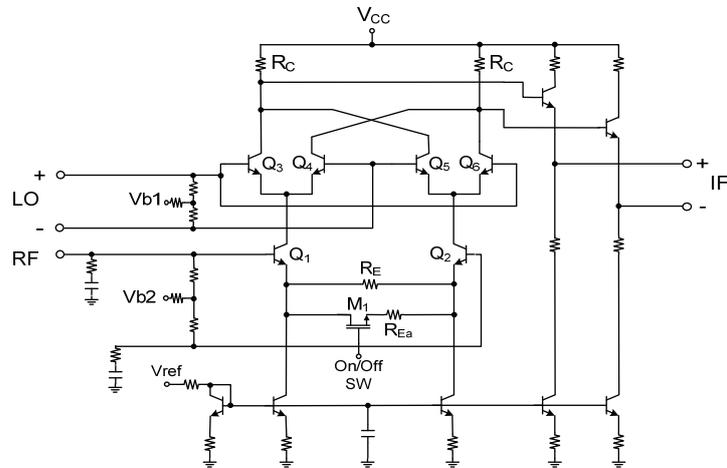


図 3.27 追加機能（雑音指数低減モード付）形アクティブミキサ等価回路

MOS スイッチがオン状態時において R_E と R_{Ea} および MOS スイッチのオン抵抗の総和で与えられる中和抵抗は 30Ω 以下となり、また、同図の V_{CC} を下げ、 V_{ref} を可変してギルバートセルのドライブ電流を 30 %程度減じることで (Low NF モード)、受信ミキサの利得増加を抑えつつ雑音指数が約 5 dB 低減し (図 3.28 の Low NF Mode)、最小受信電力が 4~5 dB 向上する。但し、この場合、受信ミキサの IIP3 は 10 dB 以上悪化するため、リフ

レクトメータのダイナミックレンジ自体はむしろ低下する。SAW デバイスやフィルタ内蔵 IC 等におけるバンドリジェクション特性（スカラー評価）の測定限界の向上に有効なオプション機能である。

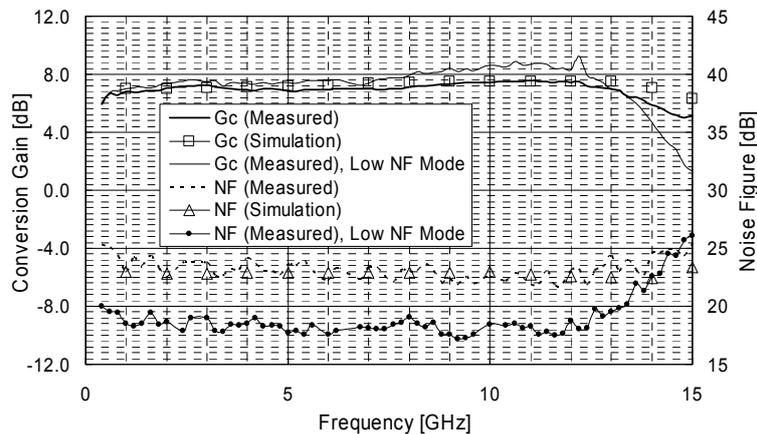


図 3.28 追加機能形アクティブミキサを用いた受信ミキサの変換利得と雑音指数のシミュレーションと測定結果

3.2.5 リフレクトメータ SiP 化の設計検証

方向性結合器，アイソレーションアンプ，受信ミキサの諸性能にもとづき，図 3.11 のリフレクトメータのディレクティビティとダイナミックレンジを検証する。

(1) ディレクティビティ

まず式(3.5)および前述の方向性結合器並びにアイソレーションアンプの実測値を用いて，方向性結合器の結合ポート P_3 ， P_4 にアイソレーションアンプが直接接続された場合のリフレクトメータのディレクティビティを計算した。結果を図 3.29 に示す。比較のため，アイソレーションアンプの代わりに完全整合された場合，すなわち図 3.3 において $E_3 = E_4 = 0$ のときの結果もプロットした。計算結果から，アイソレーションアンプの入力インピーダンスを 20 dB 確保しても方向性結合器のディレクティビティはかなり悪化することがわかる。また，図 3.20 のアイソレーションアンプのデータはウェハプローブを用いて測定したベアチップ自体の性能であり，実装時のボンドワイヤにより入力反射損失はこれより悪くなり

ディレクティビティはさらに悪化する．そこでアンプ前段に 5 dB の薄膜抵抗アッテネータを挿入し，全帯域で図 3.3 の E_3 と E_4 において 20 dB 以上の反射損失を確保するようにした．

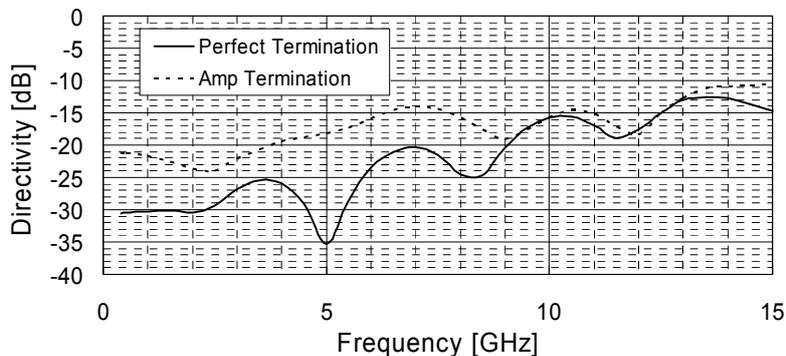


図 3.29 方向性結合器のディレクティビティに対する結合ポート，アイソレーションポートインピーダンスの影響

(2) ダイナミックレンジ

式(3.6)～(3.11)と各個別機能回路の実測値を用いてリフレクトメータのダイナミックレンジを計算する．ここでは主要テスト周波数である 2 GHz で検討する．図 3.11 に示すように，アイソレーションアンプ並び受信ミキサの各入力に装荷した 5 dB アッテネータを含めて，それぞれアイソレーションアンプ，受信ミキサと定義する．方向性結合器の結合損失 CL は，結合器の通過損失 S_{21} と結合度 S_{41} の合算に本 SiP 入力端子から方向性結合器までの伝送損失を加え，およそ 13 dB とした．受信ミキサの $IIP3_{Mix}$ を 2 GHz における実測値から +9 dBm とし，これより式(3.6)，(3.7)を用い計算した結果，2 GHz においてリフレクトメータの入力 3 次インターセプトポイント $IIP3_{RM}$ は約 22 dBm となる．VNA に要求される線形性の定義を，小信号時を基準として振幅利得および位相偏差がそれぞれ ± 0.1 dB， ± 1 度以内となる入力電力とすると，最大入力電力は，およその経験則として $IIP3_{RM}$ から 16～18 dB 以上バックオフした値と見込まれ，今回のリフレクトメータにおけるダイナミックレンジの上限 P_{max} は +5 dBm 前後と見積もられる．

次にリフレクトメータのノイズフロアを計算する．2 GHz における各回路の実測値と，

先と同様に方向性結合器の CL の値として 13 dB をそれぞれ式(3.10)に代入すると、リフレクトメータの雑音指数 $N_{FRM}(dB)$ は約 36.1 dB となる。利得 $G_{RM}(dB)$ は CL と G_{Amp} と G_{Mix} の合算から約 -6 dB となるから、結局リフレクトメータのノイズフロア $N_{FLRM}(dBm)$ は(3.9)式より -143.9 dBm となる。

以上の値と式(3.11)から、測定分解能 1 MHz 時のダイナミックレンジは、

$$DR(dB) = 5 + 143.9 - 60 = 88.9 \quad (3.14)$$

となる。

3.3 リフレクトメータ SiP の性能評価結果

3.2 章で説明した個別機能回路と LTCC 集積化技術を用いて図 3.11 の構成に基づくリフレクトメータを SiP 化した。開発したリフレクトメータの写真を図 3.30 に示す。主要機能回路の配置は同図に示す通りで、同写真上部の SMD 部品の下に LTCC 内層に方向性結合器が内蔵されている。つづいて本リフレクトメータの評価結果について述べる。

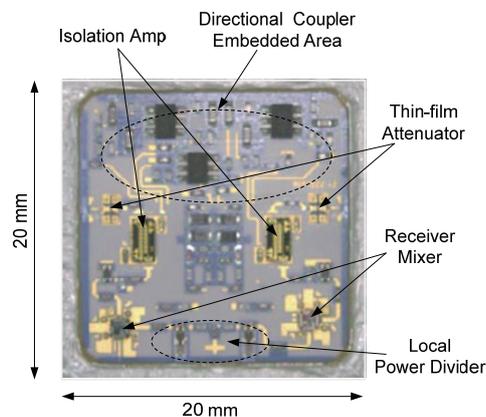


図 3.30 開発したリフレクトメータ SiP

3.3.1 変換利得と雑音特性

変換利得、雑音特性を図 3.31 に示す。800 MHz 以下で特性が大きく悪化しているが、これは方向性結合器の結合特性に依存する性能であり、方向性結合器を用いた VNA で生じる特性傾向である。800 MHz から 12 GHz においては変換利得 -12 dB 以上、NF は 42 dB 以

下の特性を得た。

3.3.2 ディレクティビティと反射測定ダイナミックレンジ

ディレクティビティ特性を図 3.32 に示す。400 MHz から 7 GHz において、目標の-15 dB 以下の特性が得られているが、7 GHz から 12 GHz においては-15 dB を割り込み、特に 12 GHz 付近では-10 dB 程度である。図 3.33 に、図 3.32 の測定値と式(3.3)を用いて計算した反射測定ダイナミックレンジを示す。計算過程において、システムディレクティビティの算出では、各周波数における DUT までの挿入損失 IL として 6 GHz と 12 GHz の各実測値である 5 dB および 7 dB をもとに直線補完した値を用い、 D_o には図 3.32 の測定値を用い、 D_t には先に述べたシステムの温度変動 0.35 dB を周波数に関係なく一律に適用し、それぞれ算出した。同グラフより、400 MHz から 6 GHz においては RF テスタの要求仕様である 33 dB を満たしていることがわかる。7 GHz から 12 GHz では仕様ラインを割っており、この周波数範囲まで反射測定の要求仕様を拡張することはできない。なお、R-ch と A-ch とでの性能差は、方向性結合器の設計上の非対称性が主要因である。

3.3.3 リニアリティとダイナミックレンジ

リニアリティは、-30 dBm 入力時の値を基準に、+5 dBm 入力時の変換利得および位相の変動量にて評価した。振幅リニアリティおよび位相リニアリティの測定結果を図 3.34 に示す。この結果から、+5 dBm 入力電力においては振幅偏差 ± 0.1 dB、位相偏差 $\pm 1^\circ$ に対して十分にマージンを有することがわかる。振幅並び位相偏差の許容値を満たす最大入力電力 P_{max} は+7 dBm であった。この P_{max} と、図 3.31 の評価結果をもとに式(3.11)を用いて測定分解能 1 MHz でのリフレクトメータのダイナミックレンジを計算した結果が図 3.35 である。400 MHz から 12 GHz においておよそ 90 dB のダイナミックレンジとなっており、式(3.14)の検証結果とほぼ一致する。但し、図 3.35 のデータは P_{max} を周波数にかかわらず一律+7 dBm として計算したものであり、そのため周波数によりデータにはそれぞれの実力

値とのマージンにばらつきが存在する。なお、図 3.1 に示した HBIC を用いたリフレクトメータではおよそ 105 dB のダイナミックレンジとなっており、これに対し本 SiP では 15 dB 程度不足している。この差の主要因は受信ミキサの IIP3 の差であり、HBIC ではディスクリートのダイオードミキサを用いているため IIP3 が約 23 dBm と高く、この IIP3 の違いがほぼダイナミックレンジの差となっており、受信ミキサ IC の IIP3 改善が今後の課題である。

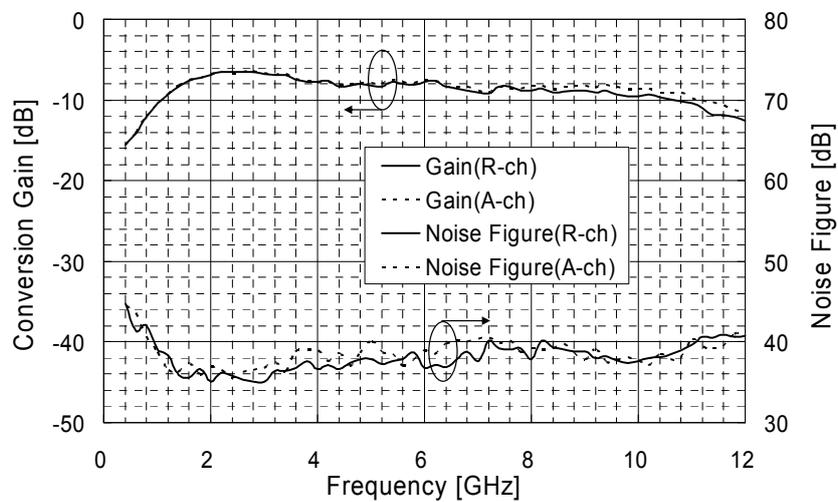


図 3.31 リフレクトメータ SiP の変換利得と雑音指数の測定結果

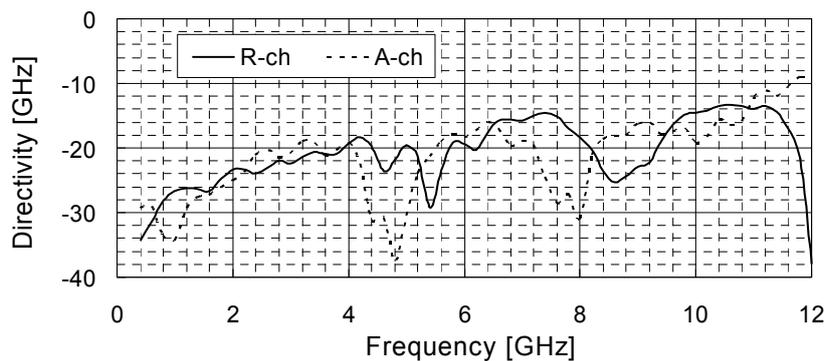


図 3.32 リフレクトメータ SiP のディレクティビティ測定結果

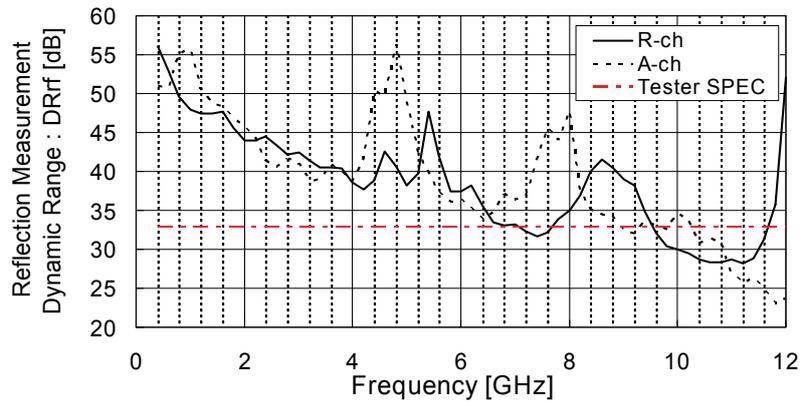


図 3.33 リフレクトメータ SiP のディレクティビティ測定値を用いて計算した反射測定ダイナミックレンジ(DR_{rf})

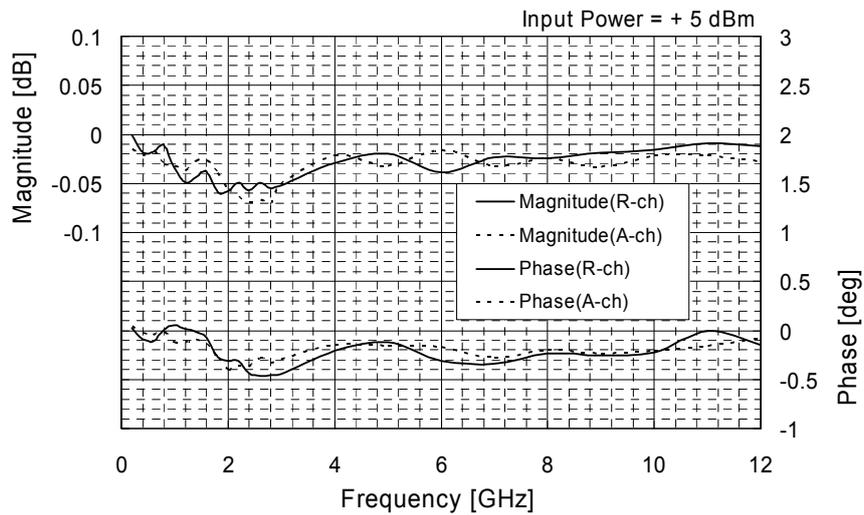


図 3.34 リフレクトメータ SiP の振幅および位相リニアリティの測定結果

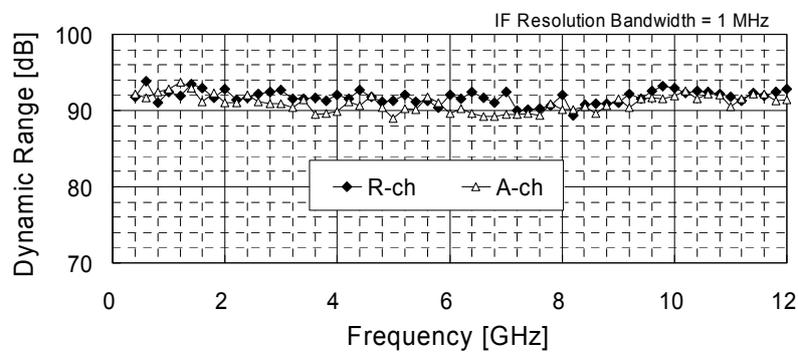
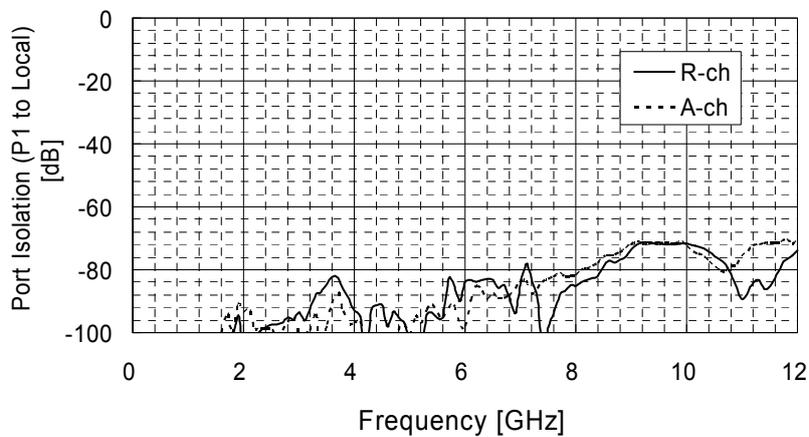


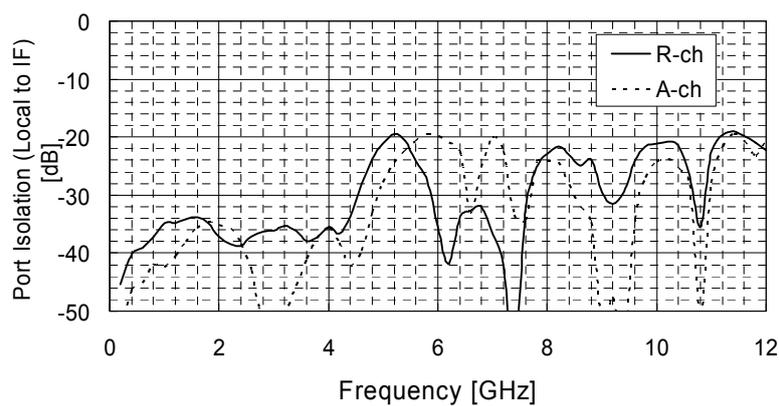
図 3.35 リフレクトメータ SiP のダイナミックレンジ

3.3.4 ポート間アイソレーション

リフレクトメータのポート間アイソレーションを図 3.36 に示す。(a), (b)の測定データは、それぞれ図 3.7 の ISO_1 と ISO_3 の測定結果に相当する。これら実測値より、電力分配器の出力ポート間アイソレーションを含めたクロストークは 110 dB 以上となり、最も心配されるクロストーク経路による不要波電力は、リフレクトメータのダイナミックレンジに影響しないレベルに抑えられることがわかる。



(a) 測定信号ポートとローカルポート間アイソレーション



(b) ローカルポートと IF ポート間アイソレーション

図 3.36 リフレクトメータ SiP のポート間アイソレーションの測定結果.

以上の評価結果から、開発したリフレクトメータ SiP では、我々の RF テスタの VNA 機能に要求される周波数範囲 400 MHz から 12 GHz で 90 dB のダイナミックレンジが得られ、また、400 MHz から 6GHz において環境温度 $25 \pm 7^\circ\text{C}$ で ± 1 dB の確度にて 15 dB の反射損失の測定が可能であることがわかる。なお、VNA 機能として通過伝送特性の温度に対する測定精度も重要であるが、これについては VSG 並び VSA 機能を用いてシステム全体の温度補正データを事前に取得することで補正可能で、リフレクトメータに対する性能としては重要ではない。6 GHz から 12 GHz の性能に関しては、方向性結合器のディレクティビティの改善が課題である。

3.4 本章のまとめ

RF テスタの高密度化を目的としたリフレクトメータの SiP 化について、その構成検討、各個別機能回路の設計および評価とそれらを用いた SiP 化の検証、そして試作結果を述べた。検討項目としてディレクティビティとダイナミックレンジに焦点をあて、各個別機能回路の実現手段を考案し、それらを接続した際の測定精度への影響も検討し小形化を行った結果、従来構造に対し 50 分の 1 以下のサイズで RF テスタ用途に適したリフレクトメータ SiP を実現した。

付録 式(3.5)の導出

付図 3.1 は図 3.3 に示したリフレクトメータの測定系に対応したシグナルフローグラフである。S_{ij} は方向性結合器の S パラメータで、R は R-ch ポート、A は A-ch ポート、S は信号入力ポートである。付図 3.1 から計算で求められる X,Y,Z,W によって、付図 3.1 は付図 3.2 に変換される。付図 3.2 は付図 3.3 に変換される。付図 3.3 はリフレクトメータのキャリブレーションモデルそのものであり、Y はソースマッチ、X/T₄ と W*T₃ はそれぞれ、往路、復路の反射トラッキングである。Z/(X*W)が注目のディレクティビティである。

付図 3.1 のシグナルフローグラフより,

$$\begin{pmatrix} b1 \\ b2 \\ b3 \\ b4 \end{pmatrix} = \begin{pmatrix} S11 & S12 & S13 & S14 \\ S21 & S22 & S23 & S24 \\ S31 & S32 & S33 & S34 \\ S41 & S42 & S43 & S44 \end{pmatrix} \begin{pmatrix} a1 \\ a2 \\ a3 \\ a4 \end{pmatrix} \quad \text{A1}$$

$$a1 = E1b1 + T1S$$

$$a3 = E3b3$$

$$a4 = E4b4$$

である. これを行列表現で整理すると,

$$\begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ E1 & 0 & 0 & 0 \\ 0 & 0 & E3 & 0 \\ 0 & 0 & 0 & E4 \end{pmatrix} \begin{pmatrix} b1 \\ b2 \\ b3 \\ b4 \end{pmatrix} + \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ T1S \\ 0 \\ 0 \end{pmatrix} = \begin{pmatrix} S11 & S12 & S13 & S14 \\ S21 & S22 & S23 & S24 \\ S31 & S32 & S33 & S34 \\ S41 & S42 & S43 & S44 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} a1 \\ a2 \\ a3 \\ a4 \end{pmatrix} \quad \text{A2}$$

となる. これを $T1S, a1, a2, a3, a4, b1, b2, b3, b4$ という 9 個の変数による 7 連立方程式と考える. この 7 連立方程式から, $T1S, b1, a1, a2, a3$ という 5 個の変数を消去すると, $b2, b3, b4, a2$ という 4 個(=9-5)の変数による 2 個(=7-5)の連立方程式が得られることになる. 得られる 2 連立方程式を, 付図 3.2 のように,

$$\begin{pmatrix} b2 \\ b3 \end{pmatrix} = \begin{pmatrix} X & Y \\ Z & W \end{pmatrix} \begin{pmatrix} b4 \\ a2 \end{pmatrix} \Leftrightarrow \begin{pmatrix} 1 & 0 & -X \\ 0 & 1 & -Z \end{pmatrix} \begin{pmatrix} b2 \\ b3 \\ b4 \end{pmatrix} = \begin{pmatrix} Y \\ W \end{pmatrix} \begin{pmatrix} a2 \end{pmatrix} \quad \text{A3}$$

という形式で求めることを考える. そこで,

$$\begin{pmatrix} M11 & M12 & M13 & M14 & M15 & M16 & M17 \\ M21 & M22 & M23 & M24 & M25 & M26 & M27 \end{pmatrix} \begin{pmatrix} 1 & 0 & 0 & 0 & S11 & S13 & S14 \\ 0 & 1 & 0 & 0 & S21 & S23 & S24 \\ 0 & 0 & 1 & 0 & S31 & S33 & S34 \\ 0 & 0 & 0 & 0 & S41 & S43 & S44 \\ E1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & E3 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{pmatrix} \quad \text{A4}$$

$$= \begin{pmatrix} 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \end{pmatrix}$$

を満たすような 2 行 7 列の行列(M_{ij})を考える. すなわち,

$$(M_{ij}) = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} 1 & 0 & 0 & 0 & S11 & S13 & S14 \\ 0 & 1 & 0 & 0 & S21 & S23 & S24 \\ 0 & 0 & 1 & 0 & S31 & S33 & S34 \\ 0 & 0 & 0 & 0 & S41 & S43 & S44 \\ E1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & E3 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}^{-1} \quad \text{A5}$$

である. この A5 の行列(M_{ij})を A2 に左側から掛けることを考える. その準備のために以下の計算をすると,

$$(M_{ij}) \begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ E1 & 0 & 0 & 0 \\ 0 & 0 & E3 & 0 \\ 0 & 0 & 0 & E4 \end{pmatrix} = \dots = \begin{pmatrix} 0 & 1 & 0 & P1 \\ 0 & 0 & 1 & P2 \end{pmatrix}$$

$$(M_{ij}) \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ T1S \\ 0 \\ 0 \end{pmatrix} = \dots = \begin{pmatrix} 0 \\ 0 \end{pmatrix}$$

$$(M_{ij}) \begin{pmatrix} S11 & S12 & S13 & S14 \\ S21 & S22 & S23 & S24 \\ S31 & S32 & S33 & S34 \\ S41 & S42 & S43 & S44 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix} = \dots = \begin{pmatrix} 0 & P3 & 0 & 0 \\ 0 & P4 & 0 & 0 \end{pmatrix}$$

となるため, 結局 A5 の行列(M_{ij})を A2 に左側から掛けると,

$$\begin{pmatrix} 0 & 1 & 0 & P1 \\ 0 & 0 & 1 & P2 \end{pmatrix} \begin{pmatrix} b1 \\ b2 \\ b3 \\ b4 \end{pmatrix} + \begin{pmatrix} 0 \\ 0 \end{pmatrix} = \begin{pmatrix} 0 & P3 & 0 & 0 \\ 0 & P4 & 0 & 0 \end{pmatrix} \begin{pmatrix} a1 \\ a2 \\ a3 \\ a4 \end{pmatrix} \quad \text{A6}$$

$$\Leftrightarrow \begin{pmatrix} 1 & 0 & P1 \\ 0 & 1 & P2 \end{pmatrix} \begin{pmatrix} b2 \\ b3 \\ b4 \end{pmatrix} = \begin{pmatrix} P3 \\ P4 \end{pmatrix} (a2)$$

となる。A3 と A6 を比較すると、

$$X = -P1, \quad Y = P3, \quad Z = -P2, \quad W = P4$$

であることがわかる。これを具体的に計算すると、

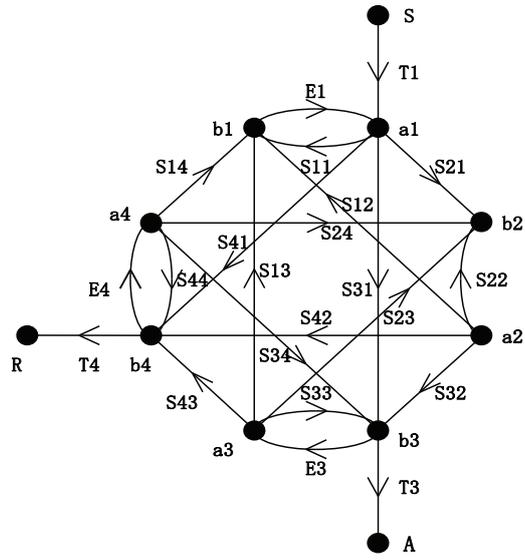
$$X = \frac{S21}{S41} \cdot \frac{(1 - E3S33)(1 - E4S44) + E3E4S34S43}{1 - E3\left(S33 - S43 \frac{S31}{S41}\right)} + E4S24 + E3S23 \frac{S31}{S41} \cdot \frac{1 - E4\left(S44 - S34 \frac{S41}{S31}\right)}{1 - E3\left(S33 - S43 \frac{S31}{S41}\right)}$$

$$Y = S22 - S21 \frac{S42}{S41} - E3 \cdot \frac{S32}{S41} (S21S43 - S23S41) \times \left(1 - \frac{S31}{S32} \cdot \frac{S42}{S41}\right) \frac{1}{1 - E3\left(S33 - S43 \frac{S31}{S41}\right)}$$

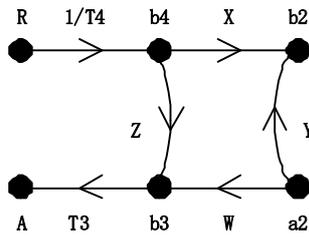
$$Z = \frac{S31}{S41} \cdot \frac{1 - E4\left(S44 - S34 \frac{S41}{S31}\right)}{1 - E3\left(S33 - S43 \frac{S31}{S41}\right)}$$

$$W = S32 \left(1 - \frac{S31}{S32} \cdot \frac{S42}{S41}\right) \frac{1}{1 - E3\left(S33 - S43 \frac{S31}{S41}\right)}$$

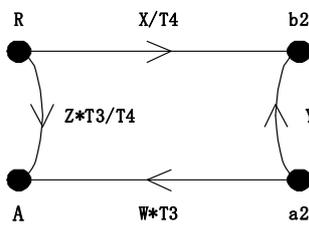
となり、これら Z, X, Y よりシステムディレクティビティ $\{=Z/(X*W)\}$ が求められる。



付図 3.1



付図 3.2



付図 3.3

第4章 75dB 高速電力レベル可変ステップアッテネータ SiP

従来ディスクリート PIN ダイオードやその他電流制御回路等を構成する多数のディスクレット部品、並びにメタルシールド構造を有する HBIC で構成した広帯域、高減衰量ステップアッテネータを、多層 LTCC 基板におけるキャビティ構造と、高速セトリング GaAs HEMT プロセスにより新たに開発した 2 種類のステップアッテネータ MMIC を用いて SiP 化し、20 mm × 20 mm × 3 mm の小形サイズにて、10 MHz ~ 12 GHz の帯域で 75 dB の総可変量と 2 dB 以下の減衰確度と、100 μs 以下の電力レベルセトリングを達成した[4.1].

再度 SiP 化した RF テスタフロントエンドのブロック図を図 4.1 に示す。この中で VSG の電力レベル可変、すなわちダイナミックレンジに関しては 75 dB ステップアッテネータ SiP の役割が重要である。この機能の SiP 化では、小形化と高減衰量特性が両立する高アイソレーション実装設計が重要となる。

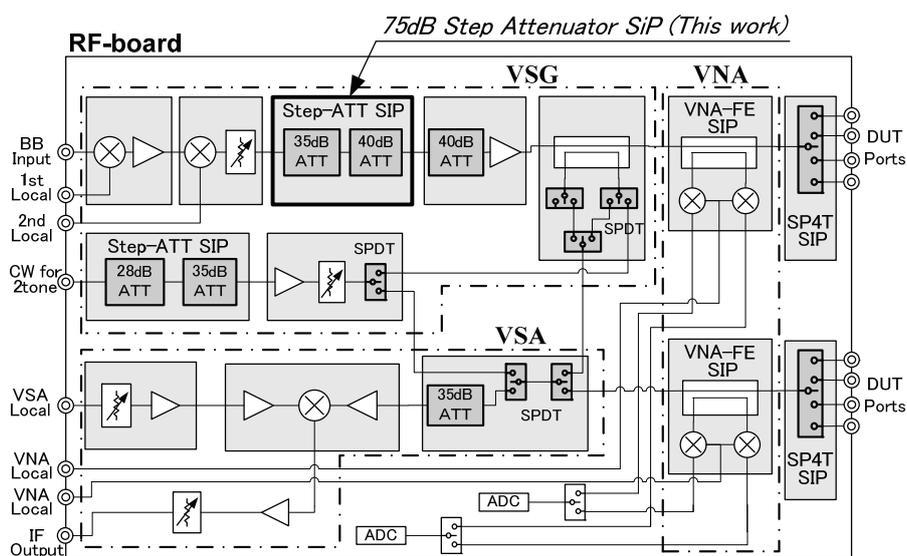


図 4.1 RF テスタフロントエンドのブロック図

この章では、RF テスタ用 10 MHz~12 GHz 広帯域 75 dB ステップアッテネータの SiP 化に関して、まず高減衰動作時において高い減衰確度を得る方法に着目した、ステップアッテネータ MMIC の設計と本 RF-SiP の高アイソレーション構造について述べ、開発したステップアッテネータ SiP の電力レベル可変特性の評価結果を述べたのち、電力レベル可変の高速化技術とその評価結果について述べる。

4.1 ステップアッテネータ SiP の設計と実現性検証

75 dB ステップアッテネータ SiP のブロック図を図 4.2 に示す。本 SiP で図 4.1 の VSG における電力レベル可変量 115 dB のうちの 75 dB を賄う。可変幅 5 dB、総可変量 75 dB を実現するため、通過経路がオン（通過状態）または 40 dB の減衰経路がオン（減衰状態）のスイッチ切り替え選択による 40 dB ステップアッテネータと、5 dB、10 dB、20 dB の 3 セルの各通過状態と減衰状態切り替えによる可変幅 5 dB の 35 dB ステップアッテネータの 2 種類を MMIC 化し、LTCC 基板に実装した。図 4.2 の固定アッテネータは VSG の総合利得を調整するもので、本論文では 0 dB とする。

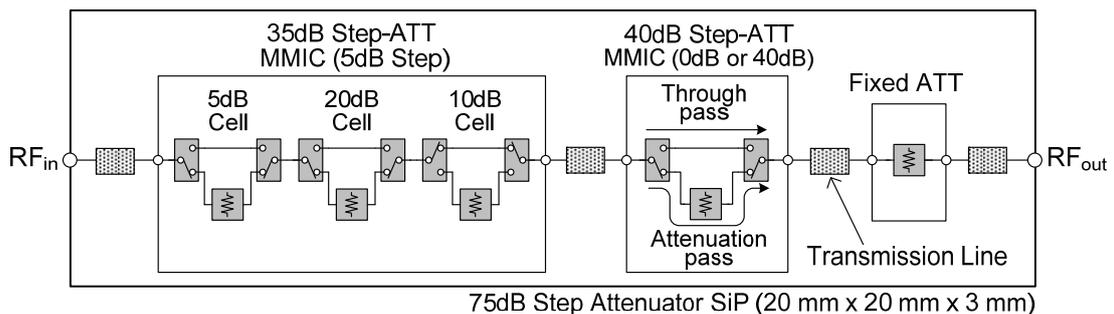


図 4.2 75 dB ステップアッテネータ SiP のブロック図

この広帯域、高減衰量ステップアッテネータの SiP 化における最大の課題は減衰確度の確保である。VSG の電力レベル確度は本ステップアッテネータ SiP の減衰確度に大きく依存する。ステップアッテネータの減衰確度は通過状態時の電力損失を基準とし、減衰

ステート時の減衰量と設定減衰量との偏差で定義されるが、ステップアッテネータ MMIC やこれらを実装する SiP に内在する不要経路のアイソレーションレベルが十分でないと、減衰確度は劣化する。所望の減衰確度を ACR，設定減衰量を ATX とすると、不要経路に必要なアイソレーションレベル ISO は次式で与えられる。

$$ISO = -20 \log \left(10^{\frac{ATX+ACR}{20}} - 10^{\frac{ATX}{20}} \right) \quad (4.1)$$

図 4.3 に ISO の計算例を示す。図 4.2 の SiP に当てはめると、75 dB の電力減衰時に 2 dB の減衰確度を得ようとした場合、 ISO は 87 dB 以上となる。従ってこの SiP の設計では、各 MMIC 並びこれらを実装する SiP での不要経路アイソレーションの考察が重要である。

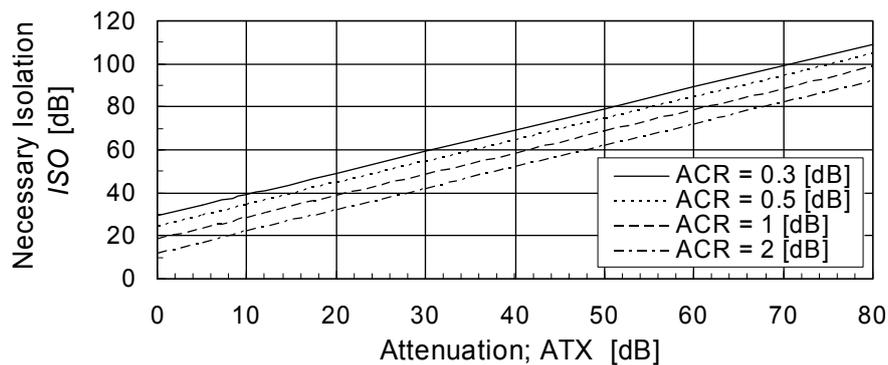


図 4.3 減衰確度の確保に必要な不要経路アイソレーション

4.1.1 ステップアッテネータ MMIC の設計と評価

可変幅 5 dB で総可変量 75 dB の機能を有する SiP を実現するため、可変幅 5 dB で総可変量 35 dB、並び可変幅 40 dB で総可変量 40 dB の 2 種類の MMIC を開発した。後述の本 SiP の要求性能から、各 MMIC の減衰確度の設計目標を 1 dB 以下とした。35 dB ステップアッテネータの各セルは図 4.4(a)~(c)に示した 3 タイプの構成からそれぞれ最適なものを選択して設計した。図 4.4 の M1~M10 は信号経路のオン、オフを切り替えるスイッチ HEMT で、 $0.18 \text{ pF} \cdot \Omega$ の低 RC 積に加え、高速電力レベルセトリング性能[4.2], [4.3]を有

する RF テスタ用に特化したデバイスである。図 4.4 のタイプ 1 は M1 をオフ、M2, M3 をオン動作とすることにより、抵抗 R1, R2, R3 で形成される π 形アッテネータ（減衰ステート）となり、逆動作で通過ステートとなる。タイプ 2a では、M1, M3, M6, M8 がオフ、M2, M4, M5, M7 がオン動作にて減衰ステートとなり、逆動作で通過ステートとなる。タイプ 2b では、M1, M3, M6, M8 がオフ、M2, M4, M5, M7, M9, M10 がオン動作にて減衰ステートとなり、逆動作で通過ステートとなる。さて図 4.3 の ISO 計算値に基づき、5 dB と 10 dB セルでは減衰ステート時の通過経路アイソレーション ISO_{off} は 30 dB 程度で良いことから、構成が簡素なタイプ 1 で設計した。なお図 4.3 の ISO 計算値は、減衰ステート時において減衰経路と通過経路の経路位相差 $\Delta\theta$ が設計上限周波数で半波長以上ある場合、すなわち減衰経路信号と不要経路信号の同相、逆相合成の両方が存在する場合の計算値であり、 $\Delta\theta$ の小さいタイプ 1 では ISO_{off} の必要レベルはこれより小さく、シリーズ HEMT (M1) 1 段での ISO_{off} で所望の減衰確度が見込まれる。一方 20 dB セルでは図 4.3 より、0.5~1 dB の減衰確度を得るために 40 dB 以上の ISO_{off} が必要となり、タイプ 2a を用いた。さらに 40 dB セルでは 60 dB 以上を必要とし、タイプ 2a の通過経路アイソレーション強化ため M9, M10 を追加したタイプ 2b を適用した (図 4.4(c))。

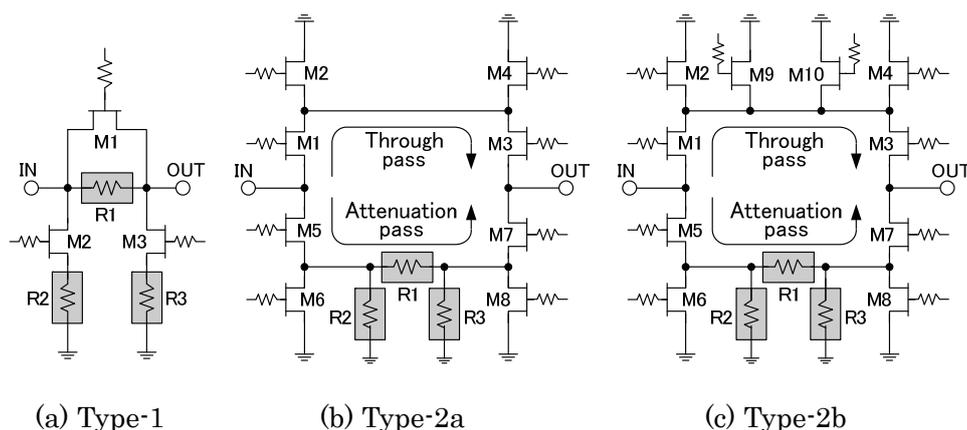


図 4.4 アッテネータセルの構成法

図 4.5 に 35 dB ステップアッテネータ MMIC の等価回路を示す。前述したように 5 dB と 10 dB セルをタイプ 1 で、20 dB セルをタイプ 2a で設計した。20 dB セルの設計では、通過経路において、高い ISO_{off} と通過ステート時の低損失を両立させるため、シリーズ HEMT (M1, M3, M5, M7) にゲート幅 $320 \mu\text{m}$ を、シャント HEMT (M2, M4, M6, M8) に $160 \mu\text{m}$ を用いた。5 dB セルにはシリーズ HEMT (M1) にゲート幅 $320 \mu\text{m}$, シャント HEMT (M2, M3) に $160 \mu\text{m}$ を、10 dB セルにはシリーズとシャント HEMT に $160 \mu\text{m}$ を用いた。図 4.6 に 40 dB ステップアッテネータ MMIC の等価回路を示す。回路は、減衰抵抗回路が 2 段の π 形になっていること、通過経路に 2 つのゲート幅 $160 \mu\text{m}$ のシャント HEMT (M9, M10) が追加されている点を除いて図 4.5 の 20 dB セルと同じである。20 dB と 40 dB セルの減衰確度は、 ISO_{off} の周波数依存性や $\Delta\theta$ の作用により右肩上がりの周波数特性を示すため、図 4.5 および図 4.6 の伝送線路 ($L1 \sim L4$) のインダクタンスおよび HEMT ($M6, M8$) のオフ状態における寄生容量を用いたローパス特性により平坦化した。試作した 35 dB 並びに 40 dB ステップアッテネータ MMIC のチップ写真を図 4.7, 図 4.8 に示す。チップサイズはそれぞれ $1.2 \text{ mm} \times 2.4 \text{ mm}$, $1.2 \text{ mm} \times 1.2 \text{ mm}$ である。

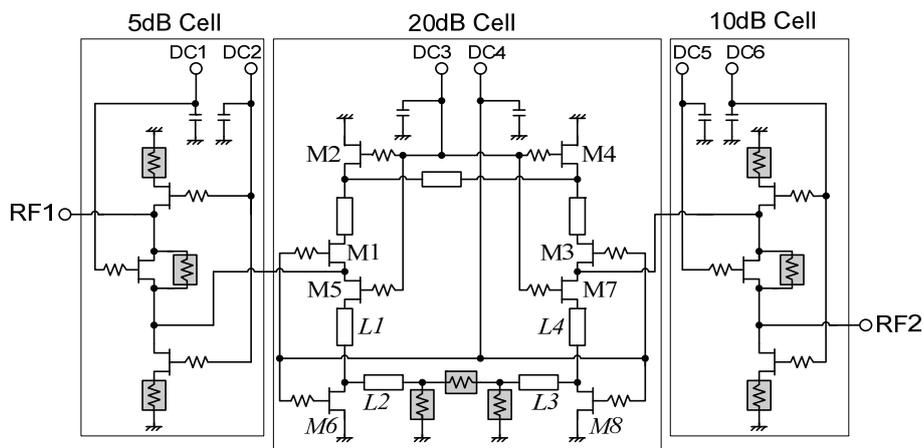


図 4.5 35 dB ステップアッテネータ MMIC の等価回路

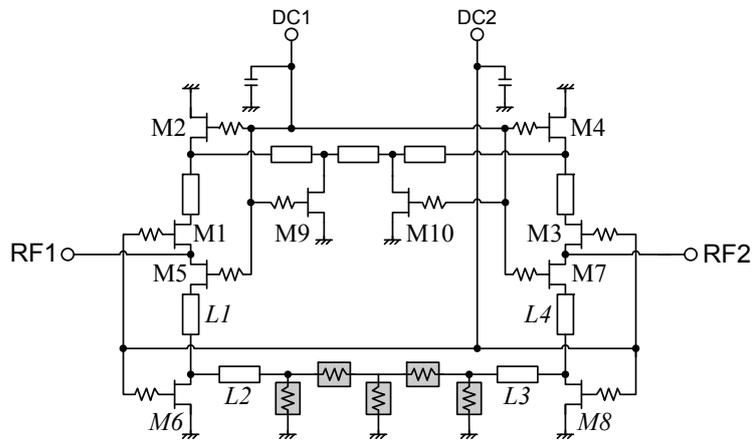


図 4.6 40 dB ステップアッテネータ MMIC の等価回路

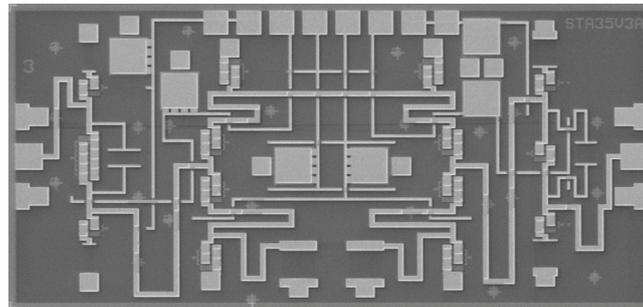


図 4.7 35 dB ステップアッテネータ MMIC のチップ写真

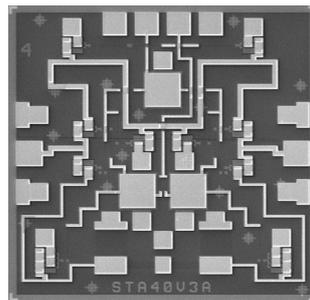
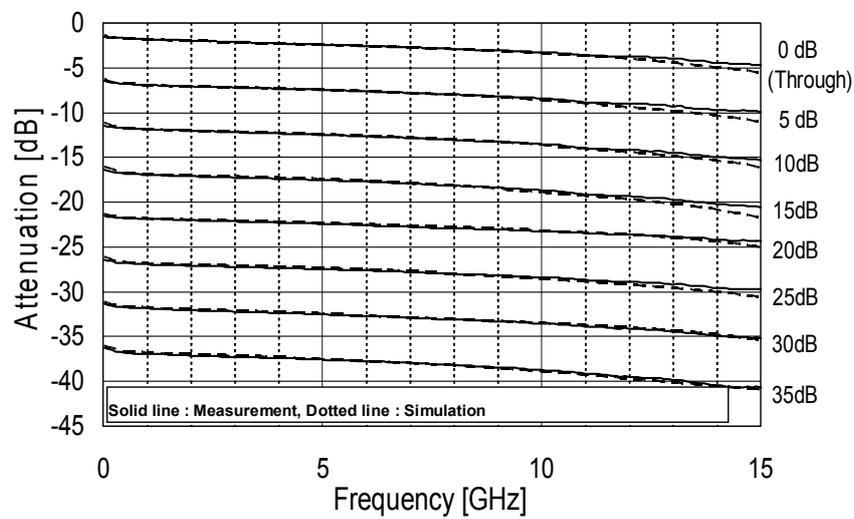


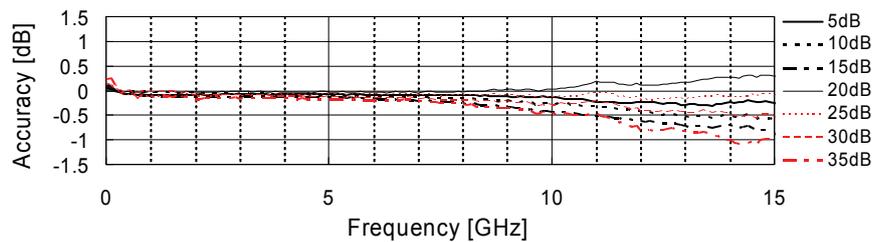
図 4.8 40 dB ステップアッテネータ MMIC のチップ写真

図 4.9(a)に 35 dB ステップアッテネータ MMIC の減衰特性について、ADS モーメントム [4.4]を用いたシミュレーション結果と測定結果を示す。シミュレーションにおいて、各 HEMT に関しては、あらかじめ測定値より抽出したオン動作並びオフ動作時の小信号等価

回路を用いた。シミュレーションと実測は良く一致した。減衰確度は実測で 10 MHz~12 GHz において 0.7 dB 以下であった (図 4.9(b))。図 4.10 に 40 dB ステップアッテネータ MMIC の減衰特性と減衰確度のシミュレーション結果と測定結果を示す。実測より帯域 10 MHz~12 GHz で 0.3 dB 以下の減衰確度を得た。なお、測定はオンウェハプローブにて行った。

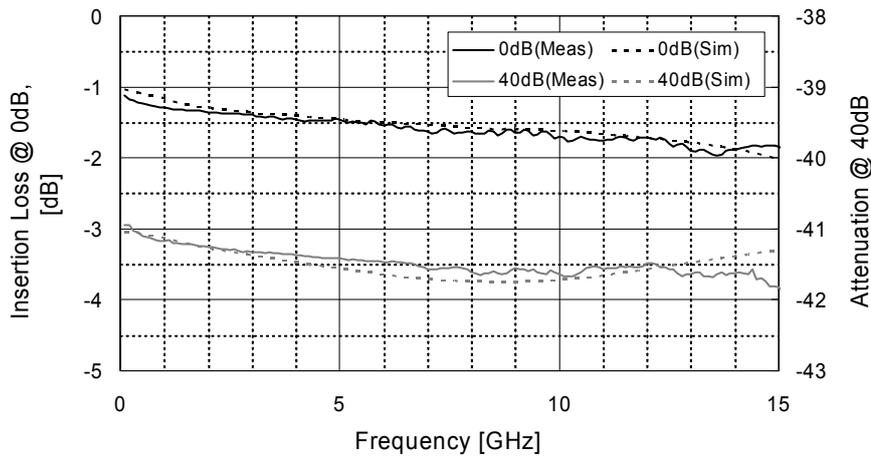


(a) 減衰特性

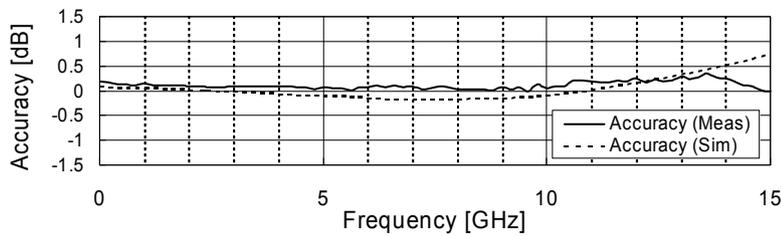


(b) 減衰確度

図 4.9 35 dB ステップアッテネータ MMIC の減衰特性評価結果



(a) 減衰特性



(b) 減衰精度

図 4.10 40 dB ステップアッテネータ MMIC の減衰特性評価結果

4.1.2 SiP 構造の高アイソレーション化

本ステップアッテネータ SiP の減衰精度の目標値は、RF テスタフロントエンドの機能仕様から、10 MHz から 12 GHz の周波数において 0 dB～60 dB の減衰範囲で 1 dB、65 dB～75 dB の範囲で 2 dB である。前述の通り、最大 75 dB 減衰時に 2 dB の減衰精度を得るためには、87 dB 以上の *ISO* が必要である。図 4.2 の構成の SiP においてアイソレーションを悪化させる要因として、2 つの MMIC 間のクロストークや伝送線路からの不要放射が考えられる。そこで、それらを大幅に抑制し、高アイソレーションを確保するために、図 4.11 に示すように LTCC 多層基板を導入した。内部メタルキャップで上部を遮蔽したキャビティ部に MMIC を実装し MMIC 間のクロストークを遮断した。MMIC 間の接続には、ワイヤボンドを介してマイクロストリップ線路 (MSL) および LTCC 内層のストリップ線路 (SL) を用いて、これら伝送線路からの放射を抑えた。

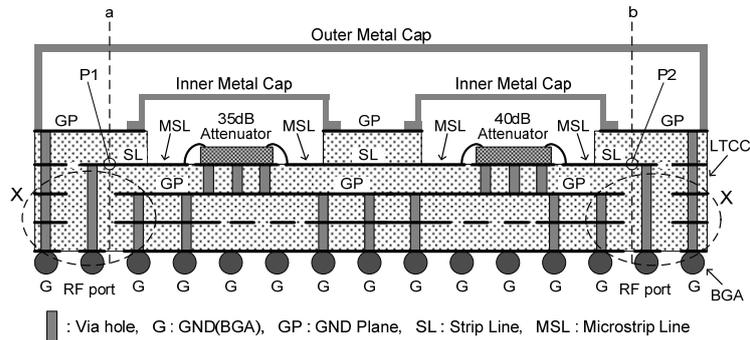


図 4.11 ステップアッテネータ SiP の構造

図 4.11 の構造での P1-P2 (励振基準面 a, b) 間における 75 dB 減衰時の減衰確度を, 電磁界解析シミュレータ HFSS[4.5]を用いて解析した. 解析構造を図 4.12 に示す.

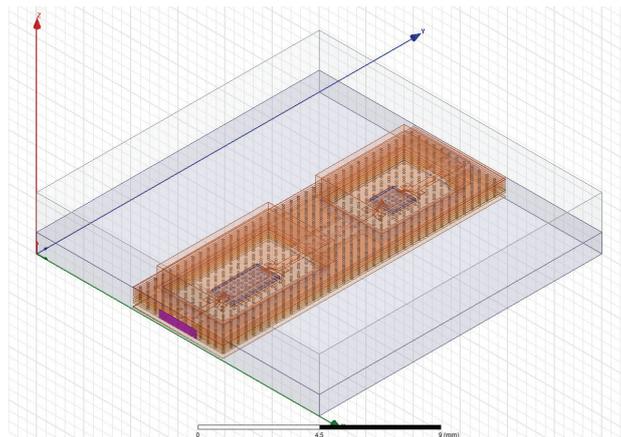


図 4.12 HFSS 解析構造図

解析にあたり, 各 MMIC の回路パラメータには, 前述の各 MMIC の設計で得た減衰量 0 dB および最大減衰量での各 2 ポート S パラメータを用いた. 解析結果を図 4.13 に示す. 比較のため, 図 4.11 でキャビティ用内部キャップが無い場合の解析結果もプロットした. 図 4.11 の構造で 75 dB 減衰時に 1 dB 以下の減衰確度を得る結果となった. これに対し内部キャップ無しでは 6 dB 程度まで悪化し, 本構造の有効性が確認された. なお, 実際の当アッテネータ SiP では, SL から BGA への信号伝送変換部の特性も含まれる. この変換部にも 3.2.1

節で述べた疑似同軸構造を採用し（図 4.11 の X 部），良好な伝送特性を電磁界解析により確認している[4.6].

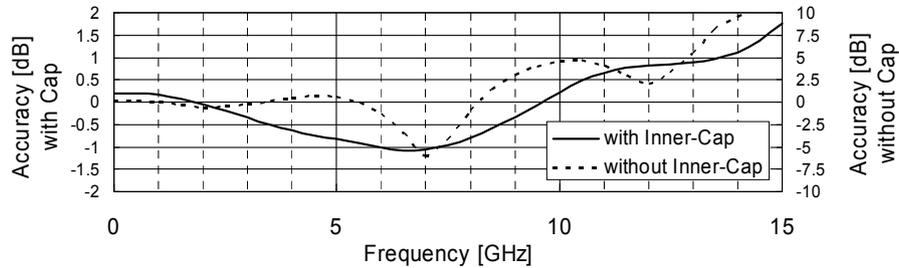


図 4.13 ステップアッテネータ SiP の減衰精度の電磁界解析結果

4.2 ステップアッテネータ SiP 減衰特性評価結果

開発したステップアッテネータ SiP を図 4.14 に示す. 寸法は 20 mm × 20 mm × 3 mm である. 35 dB および 40 dB ステップアッテネータ MMIC のチップサイズはそれぞれ, 1.2 mm × 2.4 mm, 1.2 mm × 1.2 mm [4.3]である.

SiP の減衰特性および減衰精度の評価結果を図 4.15 および図 4.16 に示す. 10 MHz ~ 12 GHz の帯域で 75 dB の総可変量と 2 dB の減衰精度を得た. 挿入損失と全可変範囲における反射損失はそれぞれ 8 dB 以下, 15 dB 以上であった. 減衰精度に関して, 測定器用に開発されたプログラマブルアッテネータ[4.7]や同軸形ステップアッテネータ[4.8]とほぼ同等の性能が得られた.

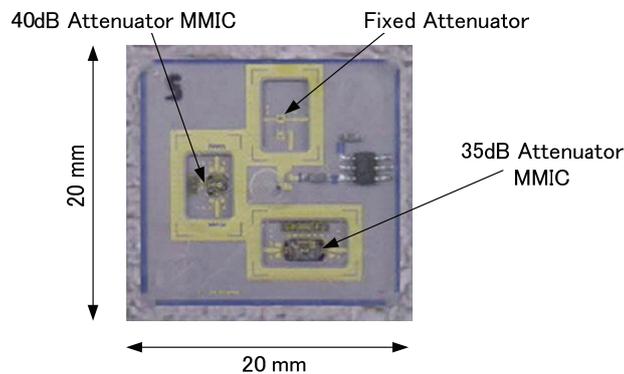


図 4.14 75 dB ステップアッテネータ SiP

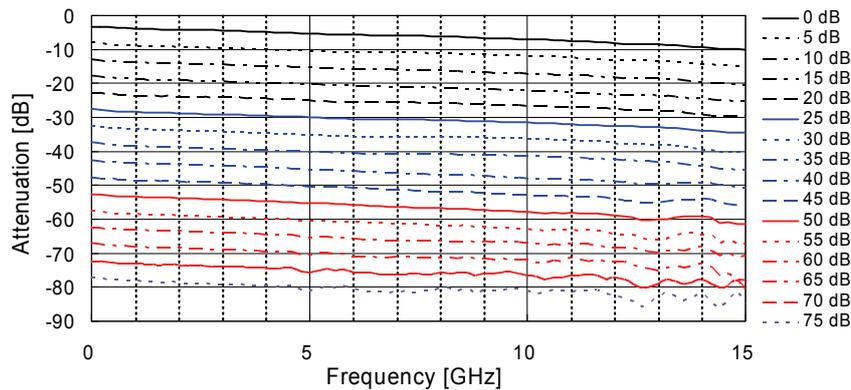


図 4.15 75 dB ステップアッテネータ SiP の減衰特性

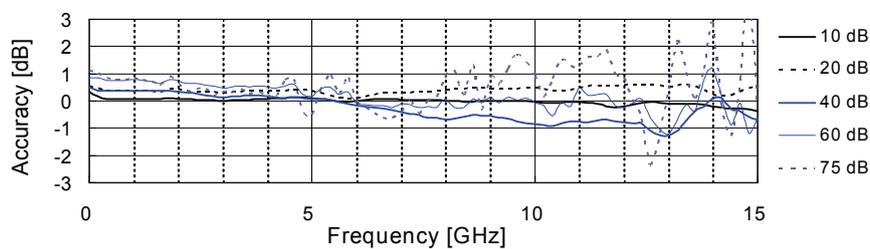


図 4.16 75 dB ステップアッテネータ SiP の減衰確度

4.3 電力レベルセトリングの高速化技術

4.3.1 高速電力レベルセトリング MMIC 技術

RF 電力レベルコントロールのためのステップアッテネータ、および RF 信号経路切り替えのための RF スイッチの両機能における高速電力レベルセトリング性能は、RF モジュールの高スループット化にとって RF シンセサイザの高速周波数セトリングと並び最も重要な技術要件である。従来から高速電力レベルセトリング性能に優れる PIN ダイオード - スイッチが、計測器で良く用いられてきたが、小形化、低消費電力化には不向きである。GaAs MMIC スイッチは小形化と低消費電力の両面で有利なデバイスであるが、RF テスタに求められる高速電力レベルセトリング性能の実現に難がある。

これらの問題を解決するために、我々は、数マイクロ秒のオーダーの高速電力レベルセトリングを有する HEMT プロセスを開発し、高速スイッチ MMIC およびステップ

アッテネータ MMIC に応用した。

4.3.2 高速電力レベルセトリング動作

図 4.17 に示すように、RF テストに関するセトリング時間の定義は、制御電圧が切り替えられた直後に出力電力が最終到達電力の 99.9% に達するまでの所要時間である。RF 試験の高スループット化には、ステップアッテネータや RF スイッチ全てにおいて高速電力レベルセトリング性能が必要である。従来の HEMT デバイスを用いたスイッチは、90% の電力レベルに到達する時間は数ナノ秒の高速性を持つが、99.9% に達する時間はゲートラグと呼ばれる遅延現象のため数ミリ秒から数秒の低速となる。

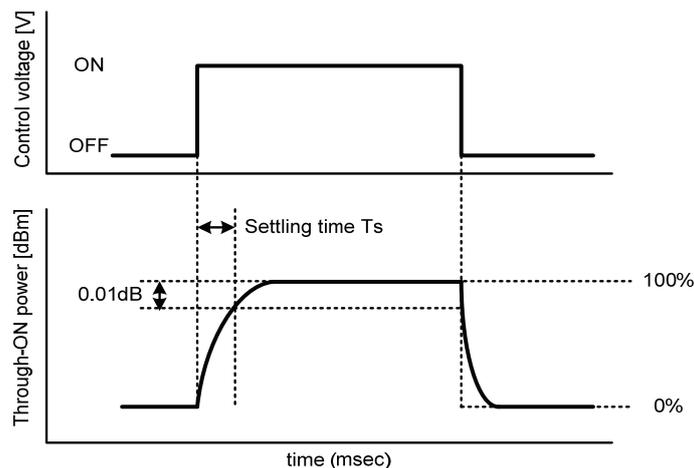


図 4.17 RF テストに関するセトリング時間の定義

ゲートラグは、主に HEMT のゲート電極近傍の表面欠陥に起因する電子トラップによって引き起こされる[4.9], [4.10]。ゲートラグによるセトリング遅延の問題で、これまで RF モジュールでは小形化に有利な GaAs MMIC は採用されず、PIN ダイオードを用いた HBIC 使用されてきた。そこで今回、GaAs プロセスにおけるゲートラグの原因となる表面欠陥を低減するために、新たなパッシベーション成膜技術を取り入れた HEMT プロセスを開発した。開発した HEMT 構造を図 4.18 に示す。エピ構造は InGaP/InGaAs/AlGaAs のダブルヘテロ接合 HEMT(D-HEMT)である。成膜時の GaAs エピタキシャル層表面へのダメージ

をなくすため、低温プラズマエンハンスド CVD 法[4.11]により SiN パッシベーション膜を成膜した。今回このプロセスをスイッチ回路に特化し、ゲート電極は非オフセット・ゲート構造とした。破壊電圧とピンチオフ電圧はそれぞれ 15 V、-2.5 V である。ゲート長は 0.3 μm である。高ドーピング ($2 \times 10^{18} \text{ cm}^{-3}$) の InGaP 層により、 $0.18 \Omega \cdot \text{pF}/\text{mm}$ の低 CR 積 ($R_{\text{on}} \times C_{\text{off}}$) を実現した。 R_{on} はゲート電圧 0V 時の HEMT がオン状態の抵抗 (オン抵抗) で、 C_{off} はゲート電圧 -5 V 時のオフ状態の容量 (オフ容量) である。表 4.1 に従来および今回開発した HEMT デバイスにおけるセトリング性能の比較を示す。開発した HEMT のセトリング時間は約 50 μs で、従来 HEMT と比較して大幅な高速化を達成した。先に述べた 75 dB ステップアッテネータに用いられる 35 dB 並びに 40 dB ステップアッテネータ MMIC はこの高速電力セトリング HEMT プロセスを用いて設計した。

表 4.1 GaAs-FET デバイスにおける電力レベルセトリング性能の比較

Device		Settling time (10 - 90 %)	Settling time (0 - 99.9 %)
A社製	AlGaAs/InGaAs HEMT	-	1.5 msec
B社製	GaAs MES-FET	1 nsec	1.5 msec
C社製	GaAs MES-FET	3 nsec	2 sec
This Work	InGaP/InGaAs HEMT	<3 nsec	< 50 $\mu\text{ sec}$

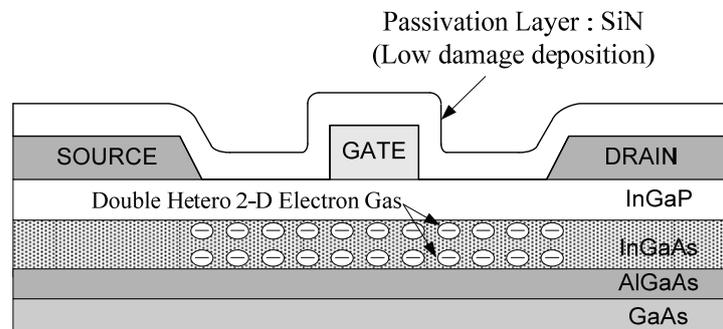


図 4.18 高速セトリング HEMT の構造

4.3.3 ステップアッテネータ SiP 電力レベルセトリング評価結果

75dB ステップアッテネータ SiP の電力レベルセトリング特性を図 4.19 に示す。代表値として減衰量 0 dB から 40 dB に可変、および 40 dB から 0 dB に可変する場合の電力レベルセトリング時間を示す。同図より、SiP 特性としてセトリング時間 100 μ s において、電力収束レベルは 0.02 dB 以内であることがわかる。

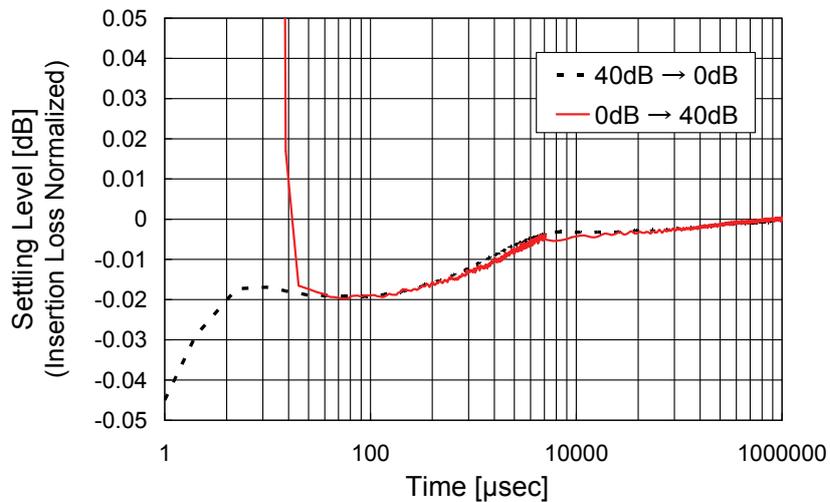


図 4.19 75 dB ステップアッテネータ SiP の電力レベルセトリング特性

4.4 本章のまとめ

LTCC 基板と新たに開発した 2 種類のステップアッテネータ MMIC を用いて高減衰、高確度ステップアッテネータ SiP を実現した。10 MHz \sim 12 GHz の帯域において、75 dB の総可変量と 2 dB 以下の減衰確度が得らるとともに、セトリング時間 100 μ s において、電力収束レベル 0.02 dB 以内の高速性能が得られ、測定器用に開発されたステップアッテネータと同等の減衰確度と、RF テスタに要求される高速電力セトリングを達成した。寸法は 20 mm \times 20 mm \times 3 mm で、同軸形ステップアッテネータ[4.8]の容積 127 cc に対し 1/100 以下の超小形化に成功した。

第5章 RF シンセサイザ SiP

RF シンセサイザ SiP のコアとなる回路技術は、100 MHz から 13.4 GHz の超高帯域に亘り高周波分解能および低位相雑音性能を有する、PLL-LSI の1チップ化である。再度 RF モジュールのブロック図を図 5.1 に示す。1 リソース(1 チャンネル)に 4 個の RF シンセサイザが必要で、合計 16 個の RF シンセサイザを 1 台の RF モジュール(4 チャンネル)内に搭載する必要がある。そこで従来 YTO あるいは VCO およびその他多数のディスクリート部品を用いて構成した RF シンセサイザに代わる、小形で低位相雑音と高速周波数セトリング性能を有する広帯域 RF シンセサイザの開発を行った。ここで、デバイステストに求められる条件として $100 \mu\text{Hz}$ 以下の高周波分解能を満たす必要がある。従来、高周波分解能と低位相雑音の両立を図るため、計測器や RF テスタ用 RF シンセサイザは、高い基準周波数を用いたマルチループ PLL 方式で構成され、その結果複雑になり大型化が避けられない。本研究では低位相雑音、高周波数分解能および高速周波数セトリングを有する広帯域 RF シンセサイザをシングルループ PLL で実現する方法を考案し、RF-SiP の共通サイズである $20 \text{ mm} \times 20 \text{ mm} \times 3 \text{ mm}$ の SiP 化に成功した[5.1]。RF シンセサイザ SiP のコア技術は、13 バンド VCO と IIR フィルタを備えた 48 ビットの $\Delta \Sigma$ モジュレータから成る、PLL-LSI である。

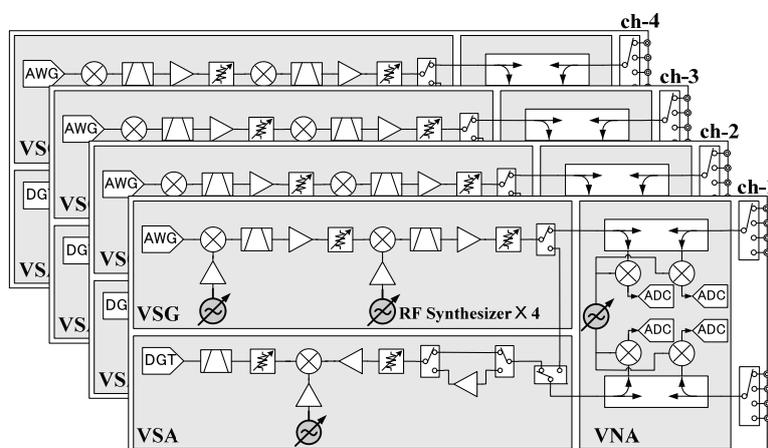


図 5.1 RF モジュール・ブロック図

5.1 13 バンド VCO および 48 ビット $\Delta \Sigma$ モジュレータを用いた高周波数分解能シングルループ RF シンセサイザ SiP

一般に、X バンドあるいはそれ以上の周波数範囲をカバーする計測器や RF テスタで使われるフラクショナル N 周波数シンセサイザは、小形化に不向きな YTO やディスクリットタイプの広帯域 VCO を用い、マルチループ PLL で回路を構成するため、SiP 化は困難であった。この問題を解決するために、13 バンド VCO および $\Delta \Sigma$ モジュレータを備えた PLL-LSI を開発し、シングルループ PLL 回路方式にて超小形のフラクショナル N 広帯域 RF シンセサイザ SiP を実現した。

$\Delta \Sigma$ モジュレータを用いた周波数シンセサイザにおいては、高い基準周波数を用いながら高分解能のフラクショナル分周比が得られ、かつ PLL 帯域内の位相雑音をループ対域外に追い出すノイズシェーピング機能を有することから、これまで多くの $\Delta \Sigma$ フラクショナル N 周波数シンセサイザが報告されてきた[5.2]-[5.4]。

図 5.2 に RF シンセサイザ SiP のブロック図を示す。100MHz から 13.4GHz の周波数範囲をカバーし、かつシングルループで 100 μ Hz 以下の周波数分解能を有する。RF シンセサイザ SiP は PLL-LSI、アクティブループフィルタおよびバイパスコンデンサで構成される。PLL-LSI は、13 バンド VCO、位相周波数検出器(PFD)、チャージ・ポンプ(CP)、および VCO に後続するプログラマブル周波数分周器(1/D)と、新発案の 48 ビット $\Delta \Sigma$ モジュレータを用いたフラクショナル N 周波数分周器から成る。ここで F_{in} と F_{out} は周波数分周器の入出力信号で、PFD で外部参照周波数 f_{REF} と F_{out} の位相比較を行う。 f_{REF} はダイレクトデジタル・シンセサイザ(DDS)によって生成され、 f_{REF} と F_{out} の最大値は 150 MHz である。PLL-LSI は、遮断周波数 90 GHz、最大発振周波数 180 GHz の 0.25 μ m SiGe BiCMOS SOI プロセスを用いて開発した。

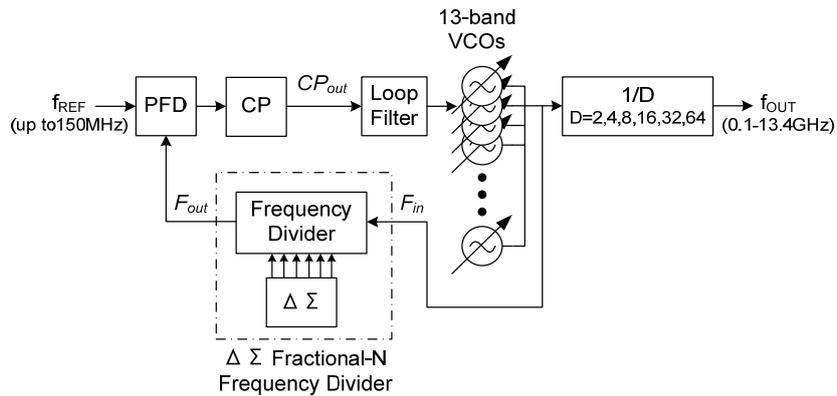


図 5.2 RF シンセサイザ SiP・ブロック図

5.2 PLL-LSI のコア回路技術

5.2.1 非対称トーナメント配置形 13 バンド VCO

100 MHz から 13.4 GHz の RF シンセサイザを構成するために、6~13.4 GHz の発振帯域と低位相雑音、高周波数線形性を備えた VCO を実現する必要がある。これらの条件を満たすために、図 5.3 に示す通り、所要発振帯域を 13 個の VCO でカバーし各 VCO を非対称のトーナメントで配置した 13 バンド VCO を開発した。

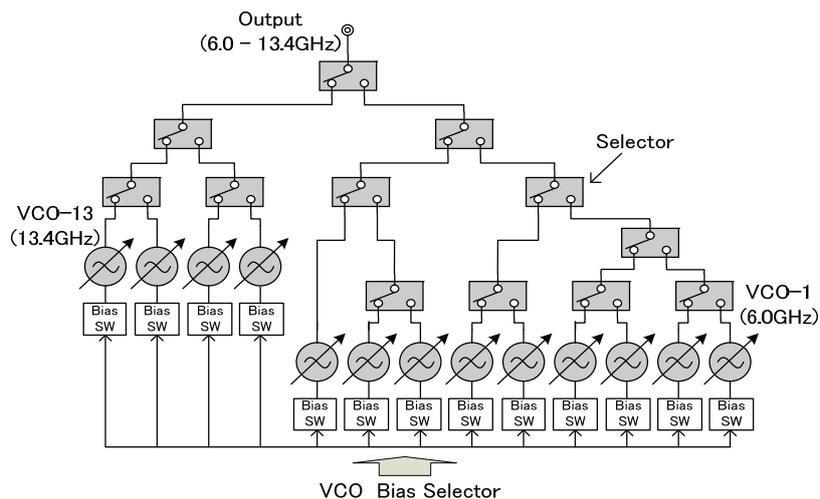


図 5.3 非対称トーナメント配置形 13 バンド VCO

このバンド配置により、低域バンドの VCO 出力信号は 5 つのセレクタを経由し、中域バンドの VCO 出力は 4 つのセレクタを、高域バンド信号は 3 つのセレクタをそれぞれ経由し出力されることになり、13 個の VCO から一つを選択し出力する複雑な構成でありながら、高域の VCO における差動出力バランスの確保が容易となる。

VCO のバンド選択には図 5.4 に示した差動タイプのセレクタを用いた。

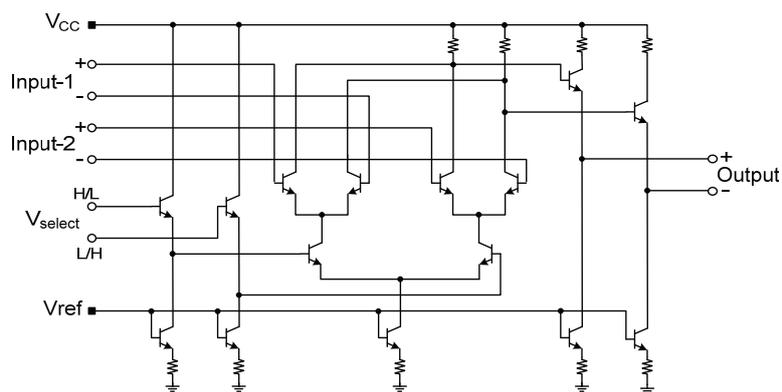


図 5.4 VCO バンドセレクタ

VCO の等価回路を図 5.5 に示す。低消費電力化およびセレクタのアイソレーション不足のため、選択した 1 つの VCO 以外の各 VCO は、その定電流源トランジスタのベースに接続する MOS スイッチによりバイアス電流を遮断し、発振を完全に停止させた。定電流源回路に基準電圧 (V_{ref}) を供給するバンドギャップリファレンス (BGR) が発生する雑音による位相雑音の悪化を防ぐため、 V_{ref} 端子に $0.1 \mu F$ および $1 \mu F$ のチップコンデンサーを外付けした。各 VCO はそれぞれ、LC 共振回路とクロスカップルド・トランジスタペアから成る差動形 VCO である。クロスカップルド・トランジスタの帰還経路に接続するエミッタフォロワの高入力インピーダンスは共振回路の負荷の低減に寄与し、LC 共振回路の負荷 Q が向上する。また、2 段構成のエミッタフォロアのアイソレーション効果により、VCO のプリング特性が改善され、セレクタのオン、オフ切り替え時の負荷変動による発振周波数の変化が抑えられる。13 バンド VCO の各 VCO の LC 共振回路の L と C の値は、それぞれ 2 つのタイプのオンチップスパイラルインダクタの選択、および表 5.1 に示したユニット

バラクタの数にて決定し、各 VCO の所望発振帯域を得るように設計した。

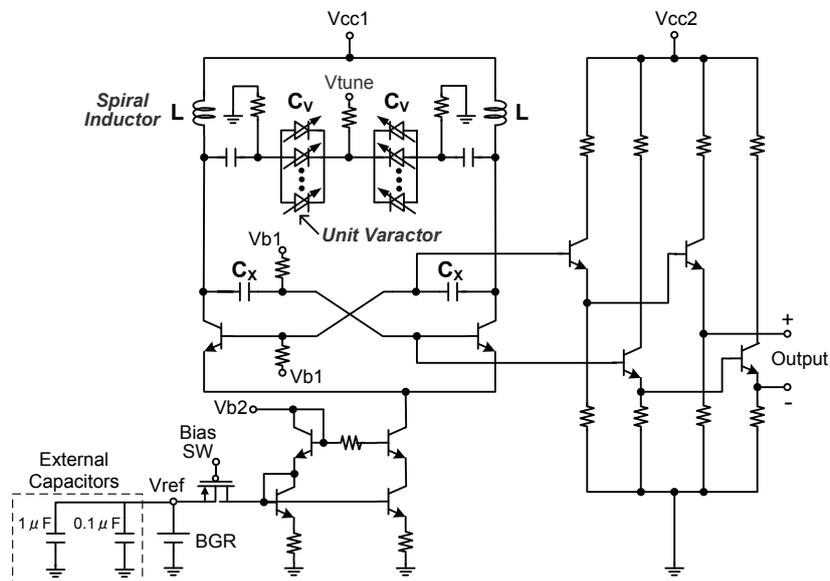


図 5.5 VCO の等価回路

表 5.1 スパイラルインダクタ並びバラクタ数のバンド毎セレクション

Band	VCO-1	VCO-2	VCO-3	VCO-4	VCO-5	VCO-6	VCO-7
Frequency [GHz]	5.9 -6.2	6.2 -6.7	6.7 -7.2	7.2 -7.5	7.5 -8.2	8.2 -8.9	8.9 -9.6
Inductor	LB-IND	LB-IND	LB-IND	HB-IND	HB-IND	HB-IND	HB-IND
The number of Varactor	83	68	57	128	105	87	72

VCO-8	VCO-9	VCO-10	VCO-11	VCO-12	VCO-13
9.6 -10.3	10.3 -11.0	11.0 -11.7	11.7 -12.5	12.5 -13.3	13.3 -14.0
HB-IND	HB-IND	HB-IND	HB-IND	HB-IND	HB-IND
59	49	40	33	28	23

低域 3 バンドの VCO 用インダクタ(LB-IND)は、VCO の 5.9 から 7.2 GHz までの周波数範囲をカバーし、高域側 10 バンドの VCO 用インダクタ(HB-IND)は、7.2 から 14.0 GHz までの周波数範囲をカバーするようそれぞれ設計した。

スパイラルインダクタは、シリコン・オン・インシュレータ (SOI) 構造の Si 基板上に積層した 4 層の SiO₂ 層膜からなる厚さ 7 μm の誘電体層の上に、厚さ 3 μm の最上位層アルミメタルをメタライズして形成した。メタル密度を一定にするためにダミーメタル[5.5],

[5.6]が用いられるが、スパイラルインダクタ周辺に関しては、 Q 値の悪化や、寄生容量の増加による VCO の発振帯域、最高発振周波数の悪化を防ぐため、ダミーメタルを極力排した。LB-IND と HB-IND のレイアウトおよび等価回路を図 5.6 および図 5.7 に示す。等価回路の各定数は S パラメータの実測値との合わせこみにより抽出した。 Q ファクターは図 5.7 の等価回路の Y パラメータをもとに、次式で求められる。

$$Q = -\frac{\text{Im}[Y_{11}]}{\text{Re}[Y_{11}]} \quad (5.1)$$

式(5.1)を用いた各 Q 値の算出結果を図 5.8 に示す。LB-IND と HB-IND の各 Q 値は、それぞれ 4GHz で 14, 8GHz で 14 と、SOI 構造 Si 基板と厚さ $7\mu\text{m}$ の SiO_2 層、並び厚さ $3\mu\text{m}$ のトップメタル配線層から成るプロセス構造により高い Q 値が得られている。

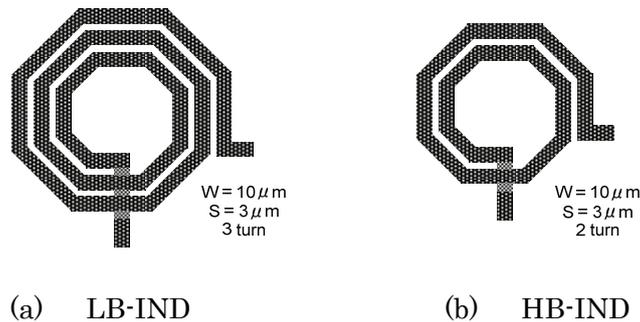


図 5.6 スパイラルインダクタ (LB-IND, および HB-IND) のレイアウト図

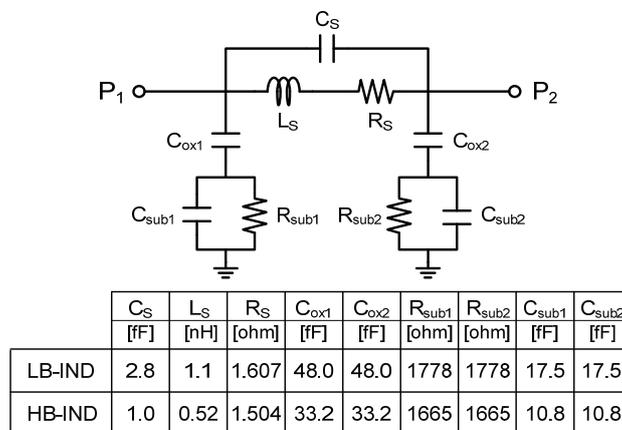


図 5.7 スパイラルインダクタ等価回路

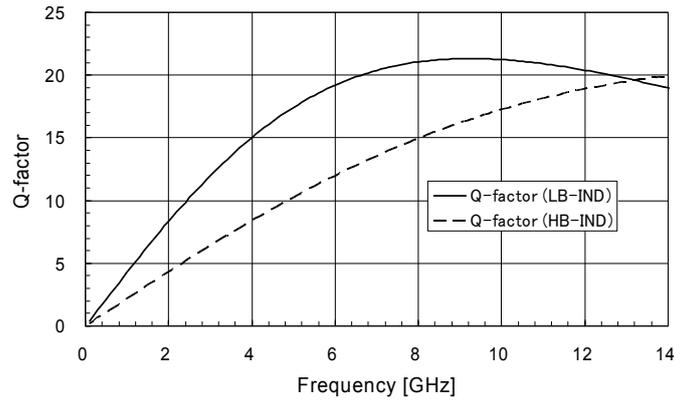


図 5.8 Q 値の算出結果

今回使用した Si BiCMOS プロセスでは MOS 形とジャンクション形の 2 種類のバラクタが使用可能であるが、VCO の発振周波数の線形性向上に有利なジャンクション形バラクタを採用した。図 5.9 は最小単位バラクタ（ユニットバラクタ）における逆印可電圧に対する容量変化(C-V 特性)である。-3.5 から 0 V の逆電圧範囲で 7.1~13.3 fF の容量可変が得られている。図 5.9 の C-V 特性は、ウェハプローブ測定によるユニットバラクタ 32 個分のバラクタアレイの C-V 測定およびプローブパッドの寄生成分の高精度なディ・エンベディングにより抽出した。

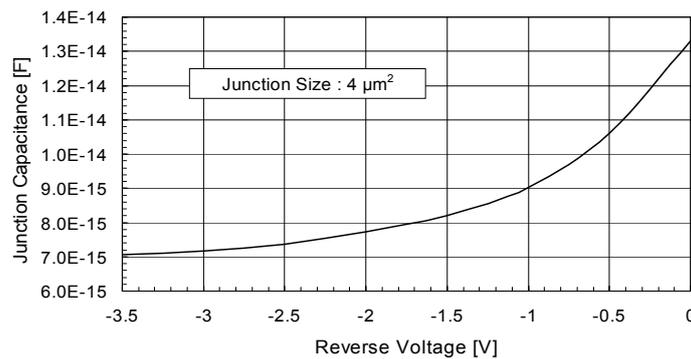


図 5.9 ユニットバラクタにおける逆印可電圧に対する容量変化(C-V 特性)

さて、VCO の各バンドの設計では、それぞれで所望の周波数リニアリティを得るよう設計する必要がある。VCO の周波数リニアリティは、周波数チューニング電圧に対する発振

周波数変化量の直線性であり，MHz/V のディメンジョンを持つ VCO ゲインの変動で評価される．VCO を用いて PLL 回路を組む場合のループ帯域 LBW は次式で近似される [5.7].

$$LBW \cong \frac{I_{cp} \cdot R \cdot K_{VCO}}{2\pi \cdot N} \quad (5.2)$$

I_{cp} はチャージ・ポンプ電流， R はループフィルタの抵抗値， K_{VCO} は VCO ゲイン， N は分周比である．後述するが周波数セトリングタイムを $150 \mu s$ 以下にするために LBW は 300 KHz 以上を確保したい．また本研究の PLL 回路設計では I_{cp} は 2 mA で設計しており， N は 8 GHz 帯域 VCO では 54， R の可変量は制御回路の精度や簡素化を考慮し 500 %程度以下に抑える必要がある．以上の条件から， K_{VCO} の目標を，各バンドにおいてその最小値と最大値の比 (K_{VCO_max}/K_{VCO_min}) を 5 以下とし，80~400 [MHz/V]程度の範囲とする．

さて VCO の周波数範囲，周波数リニアリティを決める設計要員は VCO 共振回路の共振周波数である．VCO 共振回路を，図 5.10 (a)に示す LC 並列共振回路で構成した場合（リアクタンス回路-a），共振周波数は L と C の組み合わせで決まり，先に述べた 2 種類のスパイラルインダクタの選択とバラクタアレイのユニットバラクタ数で決定され，この場合周波数範囲，周波数リニアリティに関する設計の自由度が無い．そこで本研究では，図 5.5 に示したクロスカップルド・トランジスタペアのコレクタ・ベース間のキャパシタ C_x を周波数リニアリティの改善に積極的に用いるよう，図 5.10 (b)に示すリアクタンス回路-bに基づいて VCO 共振回路を設計する手法を用いた．

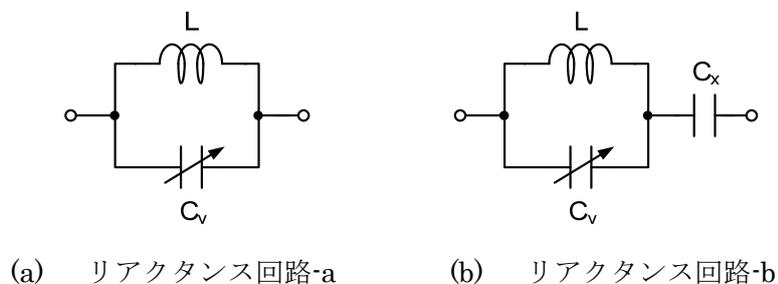


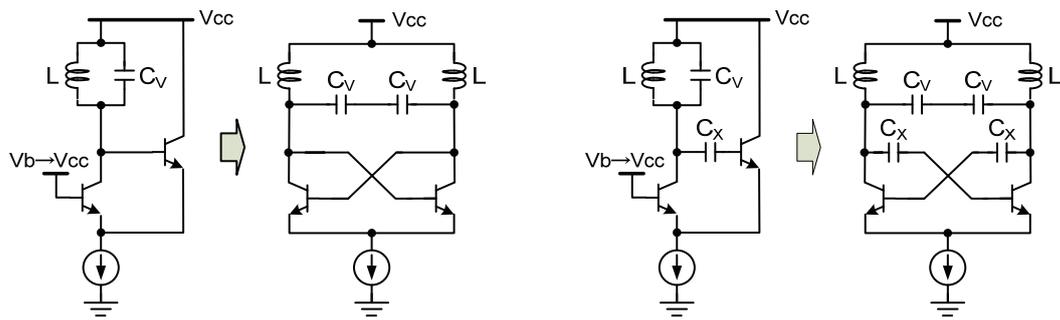
図 5.10 共振回路に用いるリアクタンス回路

リアクタンス回路-a のリアクタンス X_a , リアクタンス回路-b のリアクタンスを X_b とすると,

$$X_a = -\frac{1}{\omega C_V - 1/\omega L} \quad (5.3)$$

$$X_b = -\frac{\omega(C_X + C_V) - 1/\omega L}{(\omega C_V - 1/\omega L) \cdot \omega C_X} \quad (5.4)$$

となる。VCO の発振周波数は、上式(5.3)ないし(5.4)で与えられる共振回路側のリアクタンスが発振条件を満足する周波数で決定される[5.8],[5.9]。したがって式(5.3)と式(5.4)の比較から、 C_X を積極的にリアクタンス素子として用いることにより、VCO の発振周波数は高めにシフトするだけでなく、 C_V が大きい値、すなわち VCO の低周波数発振側では VCO ゲインが小さくなり、周波数リニアリティの向上が期待できる。そこで、リアクタンス回路-b を VCO 共振回路に適用することによる周波数リニアリティ向上について図 5.5 の実設計回路での発振シミュレーションを用いて検証することにする。検証の前にリアクタンス回路-b を共振回路に適用した回路が、図 5.5 のクロスカップル形 VCO であることを説明する。LC 共振回路を有するトランジスタ回路を用いた発振回路の基本形を、発振用トランジスタのコレクタからエミッタへの帰還用エミッタフォロアを挿入した回路と捉えることにより、図 5.11(a)に示すように発振回路の基本形からクロスカップル形発振器に展開出来る[5.10]。これに対して、 C_X を帰還用エミッタフォロアの前段に挿入した回路が図 5.12(b)である。この場合、 C_X はクロスカップル形 VCO のトランジスタ対のベース・コレクタ間の帰還容量となり、発振回路の基本形において帰還アンプ（帰還用エミッタフォロア）前段の共振回路はリアクタンス回路-b とみなすことができ、図 5.5 の VCO 回路は、リアクタンス回路-b をクロスカップル形 VCO の共振回路に等価的に適用した回路といえる。



(a) リアクタンス回路-aを適用した場合 (b) リアクタンス回路-bを適用した場合

図 5.11 発振回路の基本形からクロスカップル形発振器への展開

検証シミュレーションは表 5.1 の VCO-5 (8 GHz 帯) を想定して行った. L は図 5.7 の HB-IND の等価回路を, C_v は図 5.9 の C-V 特性を有するユニットバラクタモデルに基づくバラクタアレイを, C_x には 0.2 pF 相当の MIM キャパシタモデルを用いた (図 5.12). 先にも述べたように, リアクタンス回路-b を用いた場合, リアクタンス回路-a よりも発振周波数は高くなるため, 両リアクタンス回路での周波数リニアリティの違いの比較を容易にするため, 各リアクタンス回路適用の VCO 間で, バラクタのチューニング電圧が -1.5V 時にほぼ同じ発振周波数になるようリアクタンス回路-a を適用した VCO のバラクタの容量値を小さくした (図 5.12). 検証シミュレーション結果を図 5.13 に示す. チューニング電圧 -0.5 ~ 3.0 V における VCO ゲインは, C_x 無し (リアクタンス回路-a 適用 VCO) では 118~661 MHz/V であるのに対し, C_x 有り (リアクタンス回路-b 適用 VCO) では 107~490 MHz/V となり, 周波数リニアリティ (K_{VCO_max}/K_{VCO_min}) は 5.61 から 4.57 に改善されることがわかる. 同様の設計手法を用い, 13 バンドで発振周波数 6~13.4 GHz をカバーし, 各バンドで周波数リニアリティが 5 以下になるよう, 回路定数 L , C_v , C_x を最適化した.

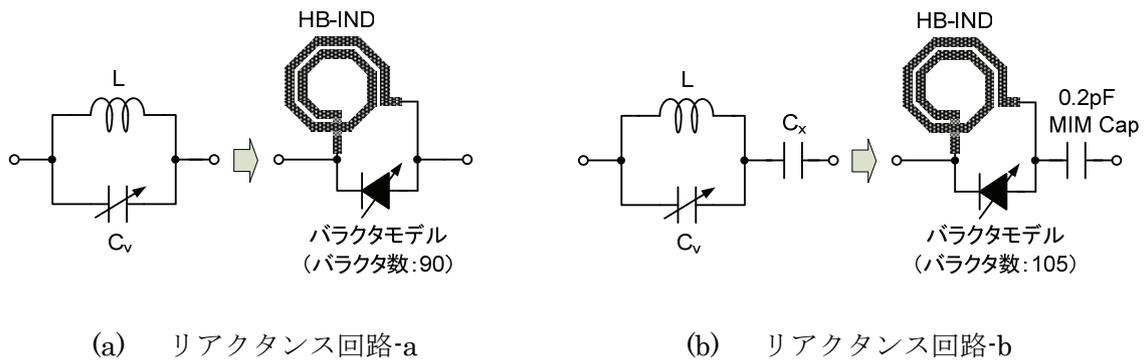


図 5.12 VCO 共振回路用リアクタンス回路の実回路への置換

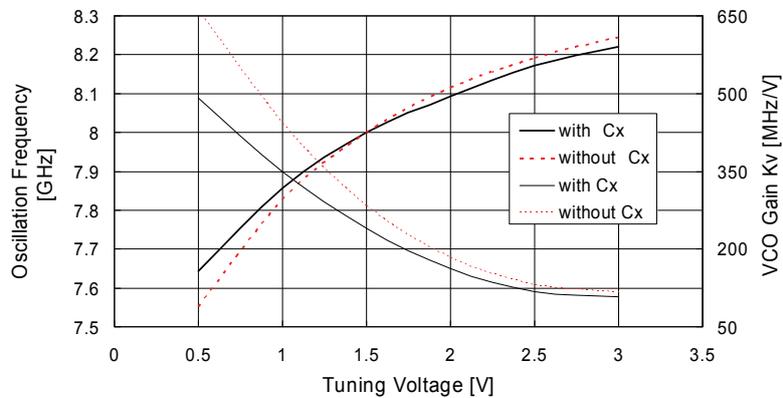


図 5.13 C_x 無し（リアクタンス回路-a 適用 VCO）と C_x 有り（リアクタンス回路-b 適用 VCO）での周波数リニアリティ比較

13 バンド VCO の全バンドのチューニング電圧に対する発振周波数のシミュレーション結果を図 5.14 に示す。各 VCO の発振帯域に関して、製造ばらつきや温度変動の影響を考慮し、隣接帯域との適正な周波数オーバーラップを確保し、13 バンドで 5.8 から 14 GHz までの周波数範囲を完全にカバーする設計を行った。

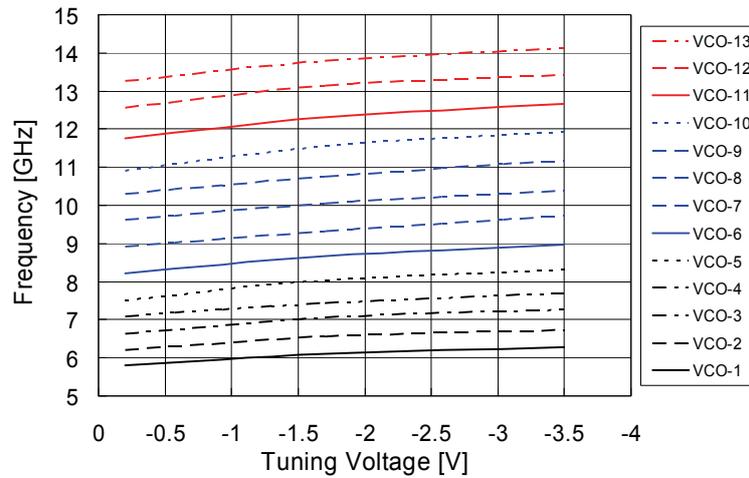


図 5.14 13 バンド VCO の発振周波数シミュレーション結果

位相雑音の設計検証

ここで、13 バンド VCO を代表して VCO-5 の位相雑音の推定について検証する。VCO の位相雑音は Leeson の式をベースにした変形式より以下の式で表される[5.11].

$$L(f_m) = 10 \log \left\{ \left(1 + \frac{f_0^2}{(2 \cdot f_m \cdot Q_L)^2 \cdot \left(1 - \frac{Q_L}{Q_0} \right)^2} \right) \cdot \left(1 + \frac{f_c}{f_m} \right) \cdot \frac{F \cdot k \cdot T}{2 \cdot P_s} + \frac{2 \cdot k \cdot T \cdot R_v \cdot K_{VCO}^2}{f_m^2} \right\} \quad (5.5)$$

式(5.5)の各パラメータは以下のとおりである。

- f_0 : 発振周波数 [Hz]
- f_m : 離調周波数 [Hz]
- f_c : コーナー周波数 [Hz]
- Q_L : 負荷 Q
- Q_0 : 無負荷 Q
- F : トランジスタ雑音指数
- K : ボルツマン定数
- T : 温度 [° K]
- R_v : バラクタ等価抵抗 [ohm]
- K_{VCO} : VCO ゲイン [Hz/V]
- P_s : 発振パワー [W]

Q_L は、図 5.5 のクロスカップルド・トランジスタの負性抵抗におけるサセプタンスの群遅延 G_D より、次式で算出した。

$$Q_L = \pi \cdot f_0 \cdot G_D \quad (5.6)$$

Q_o は、スパイラルインダ HB-IND の Q 値 (図 5.8) とバラクタの Q 値 (図 5.15) より求めた。

f_c はプロセスファウンダリのデザインマニュアルに記載の K_F (フリッカ雑音係数) に基づき、次式を用いて計算した[5.12]。

$$K_F = 2 \cdot q \cdot f_c \quad (5.7)$$

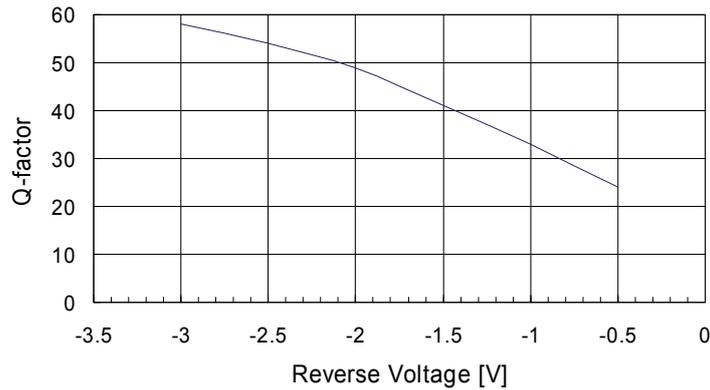


図 5.15 バラクタの Q 値

VCO-5 の位相雑音の計算に用いた各パラメータの定数を表 5.2 に示す。

表 5.2 位相雑音の推定計算に用いたパラメータ定数

パラメータ	定数
f_0	8 GHz
f_c	15.6 KHz
Q_L	1.3
Q_o	11.5
F	1.5
R_V	2.5 ohm
K_{VCO}	220 MHz/V
P_S	5 mW

計算した VCO-5 の位相雑音の推定値を図 5.16 に示す。位相雑音は 100KHz キャリアオフセットにおいて-92dBc, 1MHz オフセットで-113dB となった。5.3.2 節で述べるが、この推定値は実測結果と非常によく一致している。

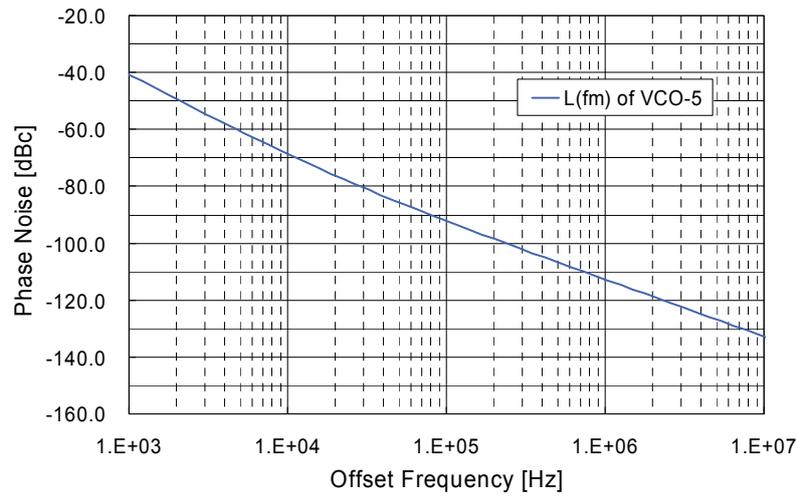


図 5.16 位相雑音の検証 (VCO-5) @1MHz キャリアオフセット

5.2.2 48ビット $\Delta\Sigma$ フラクショナルN周波数分周器

図 5.2 に示すように、今回の $\Delta\Sigma$ フラクショナルN周波数分周器には、高分解能の設定分周比を得るため、任意の48ビット・パターン $n[k]$ を生成する $\Delta\Sigma$ モジュレータを採用した。 $\Delta\Sigma$ フラクショナルN周波数分周器の設計のコンセプトは、サンプリング時間分解能を用いた2値の整数の時間平均の高精度化であり、量子化雑音を伴う。 $\Delta\Sigma$ モジュレータは、量子化雑音を高周波数域にシフトさせるいわゆるノイズシェーピング機能を有する。ノイズシェーピングにより高周波数域にシフトした量子化ノイズはPLLのループフィルタのローパス特性により抑圧が容易であり、 $\Delta\Sigma$ モジュレータは帯域内位相雑音向上に適した回路技術である。多くの場合、従来の $\Delta\Sigma$ モジュレータはn次のMASHアーキテクチャに基づいて設計される[5.13]-[5.15]。本研究では、従来のn次MASH方式による雑音改善能力をさらに改良し、かつ100 μ Hz以下の設定周波分解能を得るため、4次MASH 1-1-1-1アーキテクチャにIIRフィルタを適用した48ビットの $\Delta\Sigma$ モジュレータを開発した[5.16]。この方式により、より強力なノイズシェーピングと高周波数分解能が達成可能となることから、PLLの基準周波数(f_{REF})を高くしループフィルタの遮断周波数を上げることができ、その結果、周波数セトリングの高速化も期待できる。

図 5.17 に開発した $\Delta\Sigma$ フラクショナルN周波数分周器のブロック図を示す。回路は、48ビット $\Delta\Sigma$ モジュレータ、Nディバイダ、Aディバイダおよびデュアルモジュラス・プリスケータで構成される。NとAは整数である。 $\Delta\Sigma$ モジュレータの入力信号FLおよびIは周波数分周器の設定分周比Pのフラクショナル（小数）部および整数部である。このフラクショナルN周波数分周器の出力周波数は次式で与えられる。

$$F_{out} = \frac{F_{in}}{P} = \frac{F_{in}}{I + X} = \frac{F_{in}}{(M \cdot N + A) + \frac{FL}{2^{48}}} \quad (5.8)$$

この式でXはPの小数部で、Pは入力XとIに応じて $\Delta\Sigma$ 変調を行なうことにより得られる。

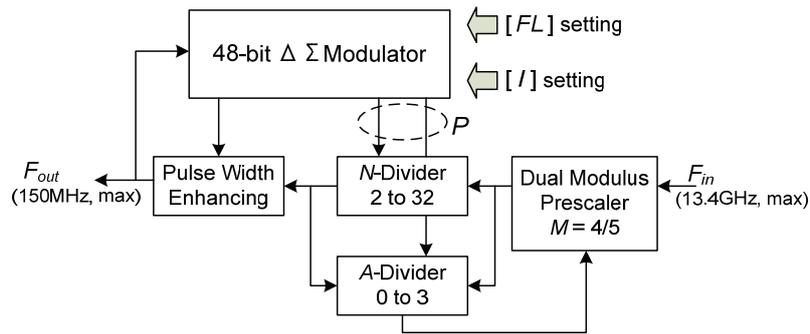


図 5.17 ΔΣフラクショナルN周波数分周器のブロック図

提案する 4 次の MASH アーキテクチャのブロック・ダイアグラムを図 5.18 に示す. X と I は式(5.8)に示した入力信号である. この回路アーキテクチャでは, 4 番目のアキュムレータに係数 0.5 の掛け算器を伴う IIR フィルタを付加した. ここで, q_1, q_2, q_3 および q_4 は各コンパレータで生成される量子化雑音である.

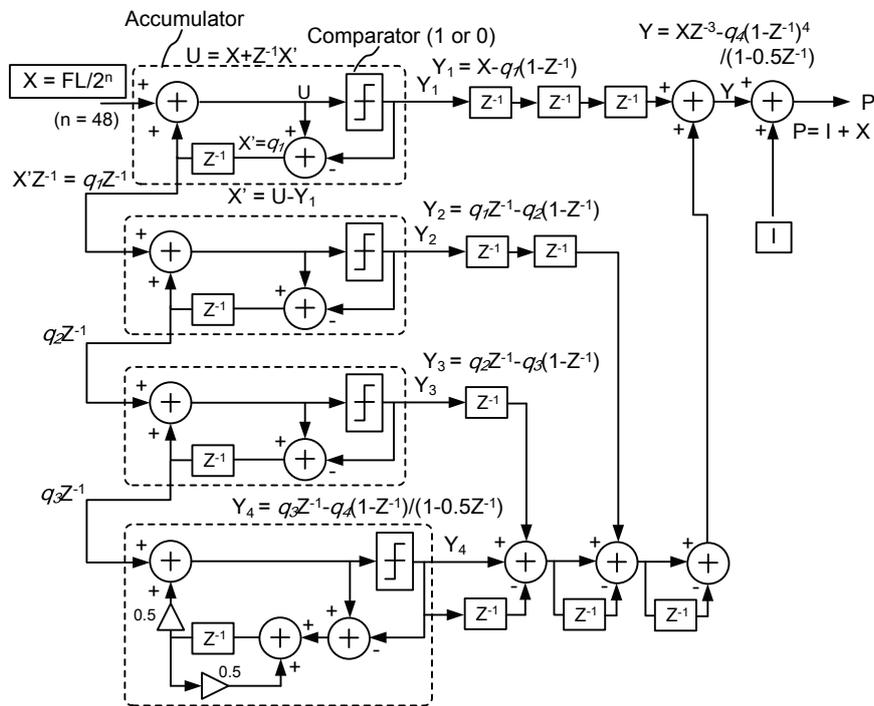


図 5.18 4 次 MASH における提案アーキテクチャのブロック・ダイアグラム

本 MASH ブロックの出力は次式で与えられる。

$$Y = X \cdot Z^{-3} - q_4 \frac{(1 - Z^{-1})^4}{(1 - 0.5Z^{-1})} \quad (5.9)$$

式(5.9)右辺の第 2 項の分母が、IIR フィルタの雑音抑圧効果を表している。IIR フィルタにより、従来の MASH 1-1-1-1 アーキテクチャでの量子化雑音抑圧効果はさらに向上する。この雑音抑圧の効果によって、設定分周比 P の変動振幅が抑えられ、その結果、次に述べる理由で位相雑音は改善される。

一般に、MASH アーキテクチャを用いた $\Delta \Sigma$ モジュレータでは MASH 回路の次数（段数）が高次になるにつれ設定分周比 P の変動振幅が増加し、そのため PFD の位相誤差の範囲は大きくなる [5.17], [5.18]。位相誤差の範囲が増加した結果、シンセサイザの発振周波数は図 5.19 に示すように PFD の線形性により敏感になり、発振周波数の近傍雑音は増加する。

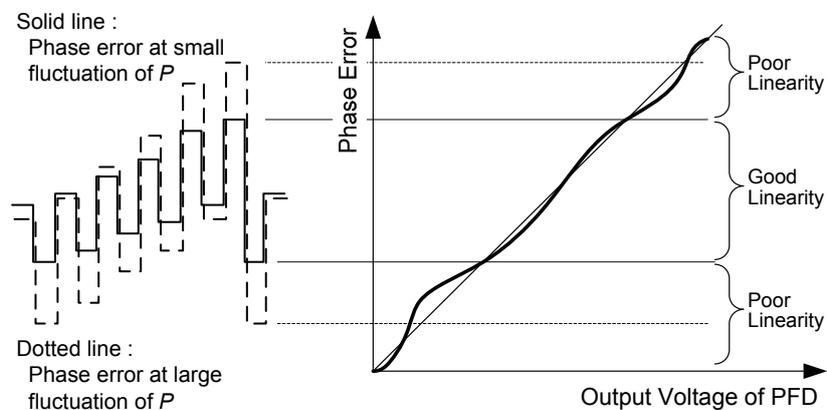


図 5.19 PFD の線形性誤差に対する設定分周比 P の変動振幅の影響

上記の問題を解決するために、PFD の線形性に対する感度を減少させるよう IIR フィルタを最終段の MASH 回路に付加した。図 5.20 は、IIR フィルタの伝達関数特性である。IIR フィルタの遮断周波数は、モジュレータのサンプリング周波数 f_{samp} の 20 % に設定した。 f_{samp} は DDS からの基準信号 f_{REF} を用いて生成される。

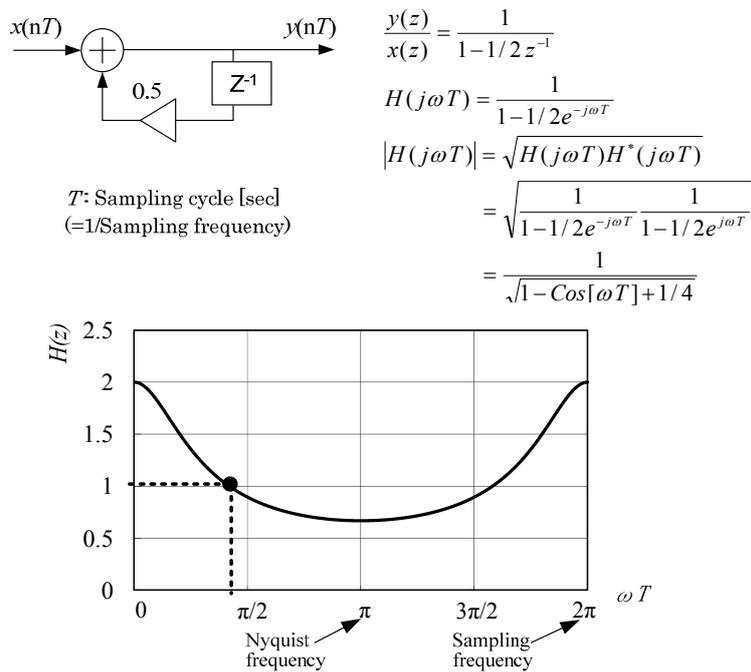
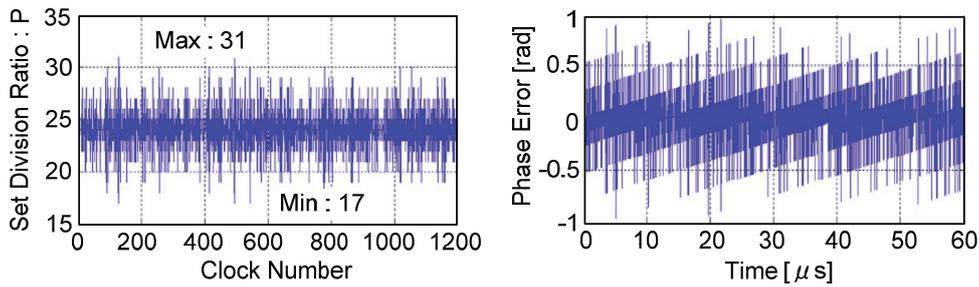
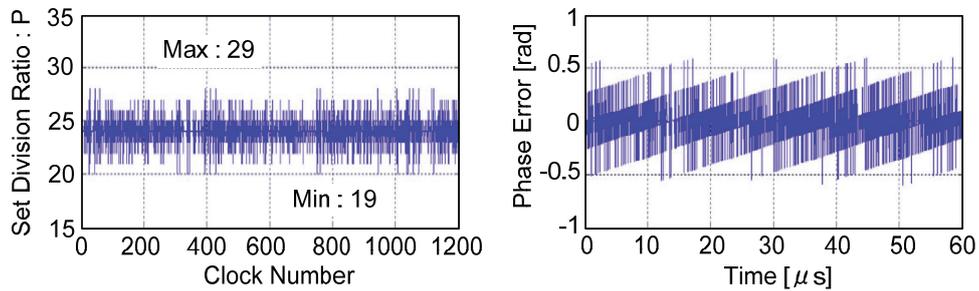


図 5.20 IIR フィルタの伝達関数特性

図 5.21(a), (b)に、従来の 4 次 MASH 1-1-1-1 アーキテクチャで構成した $\Delta \Sigma$ モジュレータにおける、P と位相誤差のシミュレーションの一例を示す。図 5.21(c), (d)には、提案する 4 次 MASH 1-1-1-1 アーキテクチャにおける同一条件でのシミュレーションを示す。以上のシミュレーションでは、後述する FPGA を用いた提案アーキテクチャの有効性検証を容易にするため、 f_{REF} と f_{samp} を 25 MHz に、 f_{in} を 600.1 MHz に設定した。また、これまでの PFD の経験値や実験例、それに基づいた PLL のシミュレーションとその検証結果等から、PFD の位相線形性誤差を 0.1 % と仮定した。以上の設定に基づき、従来の 4 次 MASH を用いた $\Delta \Sigma$ モジュレータを計算した結果は図 5.21(a)に示す通りで、P の変動振幅は 24 ± 7 である。一方、提案の 4 次 MASH を適用した $\Delta \Sigma$ モジュレータの計算結果では、図 5.21(c)に示すように P の変動振幅は 24 ± 5 となり、変動幅が小さくなることがわかる。さらに図 5.21(b)と図 5.21(d)の比較から、提案回路の方が位相誤差は小さいことがわかる。このように、新提案のモジュレータは位相誤差を低減することが可能で、その結果位相雑音性能の向上が図れる。



(a) 従来 4 次 MASH における P の変動量 (b) 従来 4 次 MASH における位相誤差



(c) 新 4 次 MASH における P の変動量 (d) 新 4 次 MASH における位相誤差

図 5.21 設定分周比 P と位相誤差のシミュレーション例 (P を 24.004 に設定)

図 5.22 に、図 5.2 の $\Delta \Sigma$ 形フラクショナル N 周波数分周器ブロックにて、提案する 4 次 MASH アーキテクチャを用いた場合の F_{in} と CP_{out} 間の位相雑音抑圧のシミュレーション結果を示す. 同図には比較のため提案アーキテクチャの代わりに従来の 4 次 MASH アーキテクチャを用いた場合の同様のシミュレーション結果を合わせてプロットした. 但しこのシミュレーションでは、後述する FPGA を用いた提案回路の検証実験を容易にするため、図 12 に示した N-ディバイダ, A ディバイダおよびデュアルモジュラス・プリスケラからなるパルススワロ形分周器を単純な N ディバイダで代用し、前述同様、 f_{REF} と f_{smp} を 25 MHz に、 F_{in} を 600.1 MHz に設定し、PFD の位相線形性誤差は 0.1% とした. このシミュレーション結果から、提案アーキテクチャを適用した回路において 200 kHz キャリアオフセットの位相雑音は -134 dBc/Hz 以下となり、従来のアーキテクチャに対し約 8 dB の改善が見込まれることがわかる.

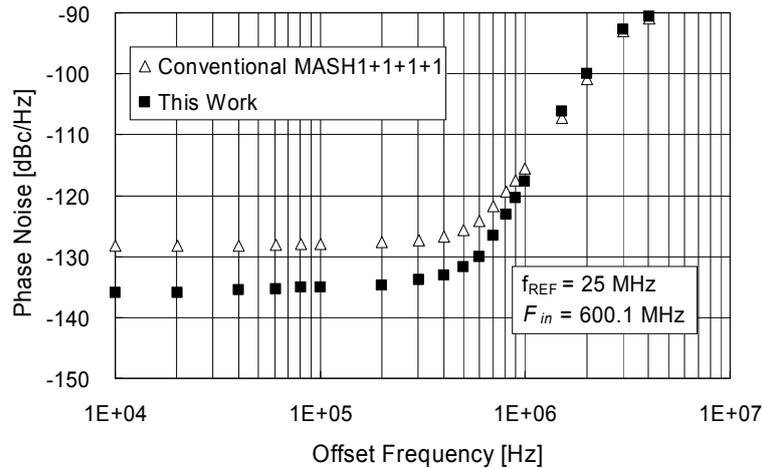


図 5.22 新 4 次 MASH アーキテクチャにおける位相雑音抑圧（ノイズシェーピング）のシミュレーション結果

さて以上のシミュレーション結果を、実際の LSI 設計に先んじて実験検証するために、従来および本提案の $\Delta \Sigma$ モジュレータを FPGA で試作した。検証は、この FPGA と、ディスプレイ VCO、N-ディバイダ、および位相線形性誤差がおよそ 0.1% の PFD から成る既存の PLL ブレッドボードを使用して行った。図 5.23 に、この検証で確認された本考案方式および従来方式によるフラクショナル N 周波数分周器の位相雑音抑圧効果を示す。検証結果から、提案する 4 次 MASH アーキテクチャを用いた周波数分周器では、従来の 4 次 MASH アーキテクチャを用いた周波数分周器よりおよそ 7 dB 低位相雑音が改善していることがわかる。

提案のフラクショナル N 周波数分周器の周波数分解能は次式で与えられる。

$$\begin{aligned}
 F_{res} &= F_{outmax} \cdot INT\left(\frac{F_{inmax}}{F_{outmax}}\right) \cdot \frac{1}{2^{48}} \\
 &= 150 \cdot 89 \cdot \frac{1}{2^{48}} \\
 &= 47.4 \mu\text{Hz}
 \end{aligned} \tag{5.10}$$

ここで F_{outmax} (=150 MHz) および F_{inmax} (=13.4 GHz) は、 F_{out} と F_{in} の最大値である。INT は

整数商を与える関数である。 $\Delta\Sigma$ モジュレータは 150 MHz までの基準周波数で十分な性能が得られるよう、最高動作周波数を 175 MHz として回路設計した。

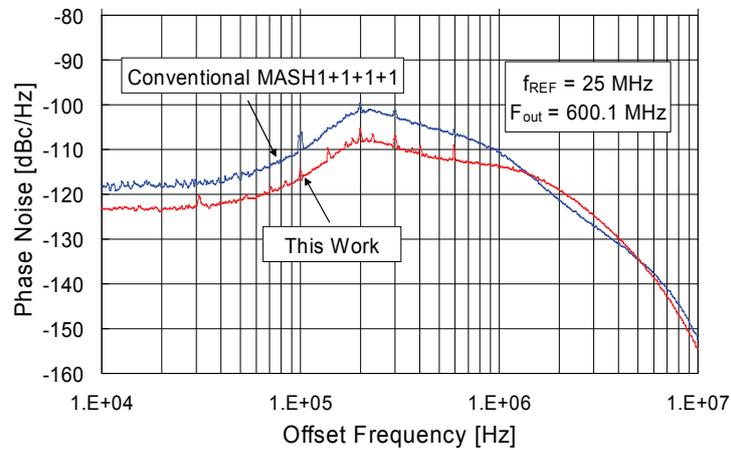


図 5.23 新方式 MASH によるフラクショナル N 周波数分周器の位相雑音抑圧効果

5.3 RF シンセサイザ SiP の構造と性能

5.3.1 RF シンセサイザ SiP の構造

PLL-LSI のチップ写真を図 5.24 に示す。チップ面積は 40 mm² である。RF シンセサイザ SiP は、PLL-LSI、ループフィルタおよびチップコンデンサーからなる。図 5.25 に RF シンセサイザ SiP、およびディスクリット VCO とダブルループ PLL 構成を用いた従来の RF シンセサイザを示す。同等の機能を有する従来の RF シンセサイザに対し、本 RF シンセサイザ SiP は 1/20 以下のサイズである。

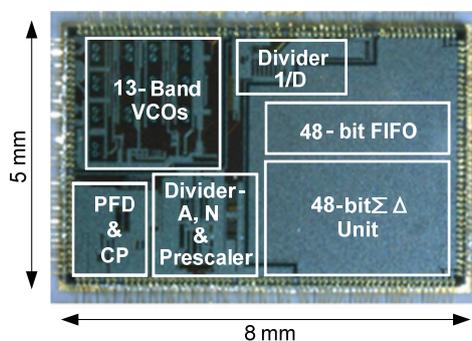
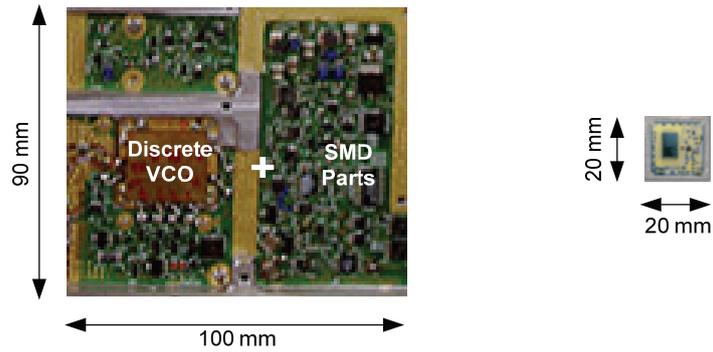


図 5.24 PLL-LSI のチップ写真



(a) 従来 RF シンセサイザ (b) RF シンセサイザ SiP

図 5.25 RF シンセサイザ SiP と従来構造 RF シンセサイザの外観

図 5.26 に、PLL-LSI の差動タイプ・チャージ・ポンプに後続する、ループフィルタの等価回路を示す。ループ利得は 13 バンド VCO の各 VCO の周波数リニアリティを補償するよう調節される。また、およそ PLL 雑音フロアと VCO の位相雑音が等しくなる周波数（コーナー周波数）に合わせて設計されるループフィルタの遮断周波数に関しても、各バンドで最良の位相雑音性能が達成されるよう調節される。上記両者の調節は可変抵抗器 R_{v1} および R_{v2} により行なう。ループフィルタの遮断周波数は、周波数セトリング時間が $150 \mu\text{s}$ 以下となる条件で、 300 kHz から 600 kHz の範囲で可変した。例えば、発振周波数 13.4 GHz ではおよそ 300 kHz 、 6.5 GHz では約 600 kHz である。チャージ・ポンプの電流値は 4 mA ($2 \text{ mA} \times 2$) で、総消費電力は 2.4 W である。

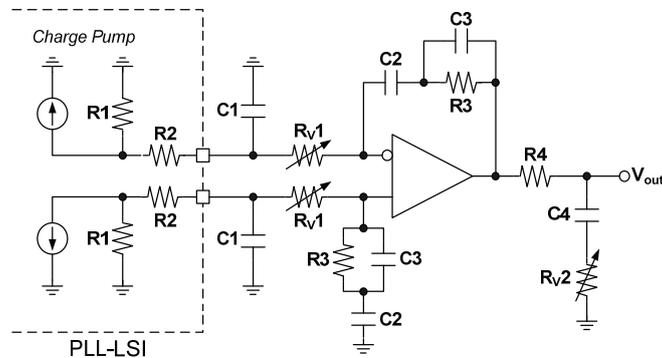
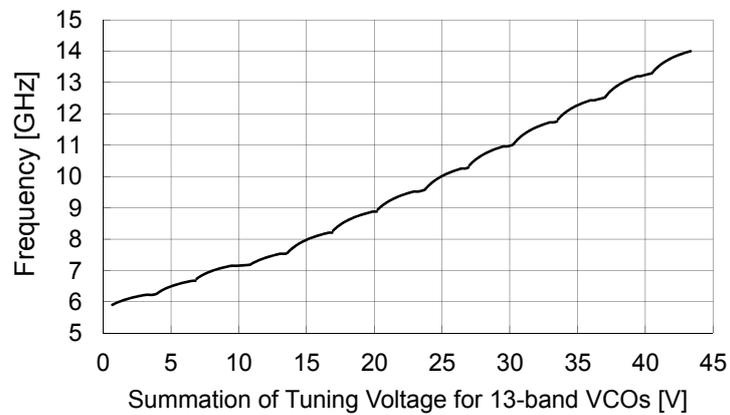


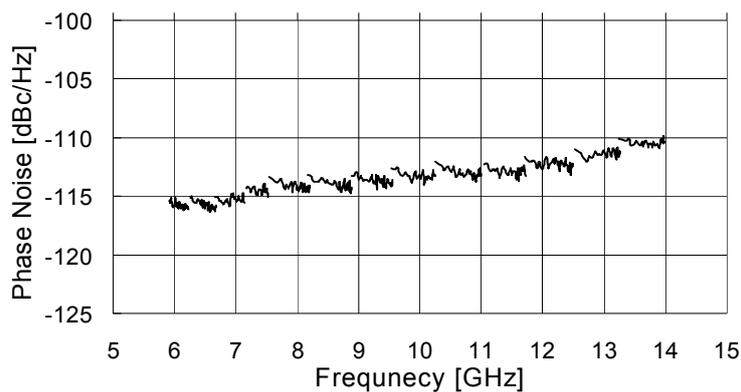
図 5.26 ループフィルタ等価回路

5.3.2 評価結果

13 バンド VCO の測定結果を図 5.27 に示す. 13 バンドの各 VCO に $-3.5\sim-0.3\text{V}$ のチューニング電圧を加えることにより, $5.8\sim 14.0\text{ GHz}$ の発振帯域をカバーすることがわかる. $5.8\sim 14.0\text{ GHz}$ の周波数帯域において, 1 MHz キャリアオフセットでの位相雑音は -110 dBc 以下であった. VCO ゲイン(K_{vco})は, 全帯域内で 76 mHz/V から 530 mHz/V で, 帯域内周波数リニアリティは $1:7$ となり, オクターブを超える広帯域の VCO-LSI としては良好な周波数リニアリティが得られた (図 5.28).



(a) 発振周波数特性



(b) 位相雑音特性 @1MHz キャリアオフセット

図 5.27 13 バンド VCO の測定結果

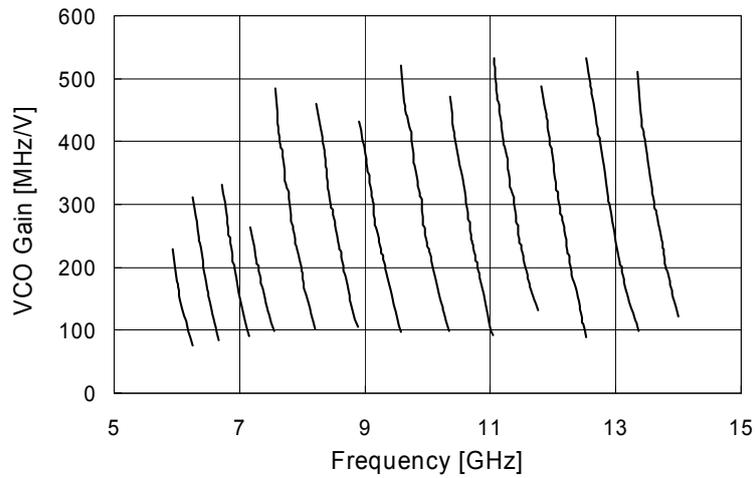


図 5.28 VCO ゲインの測定結果

図 5.29 に、最大発振周波数 13.4 GHz でのシンセサイザ SiP の位相雑音特性の測定値とシミュレーション値のグラフを示す。グラフにはフリーラン VCO の位相雑音測定値も示した。評価時のループフィルタの遮断周波数は 300 kHz である。位相雑音は、それぞれ 100 kHz および 1 MHz キャリアオフセットにおいておよそ -97 dBc/Hz, -109 dBc/Hz であった。設計帯域 100 MHz~13.4 GHz での位相雑音測定値を図 5.30 に示す。

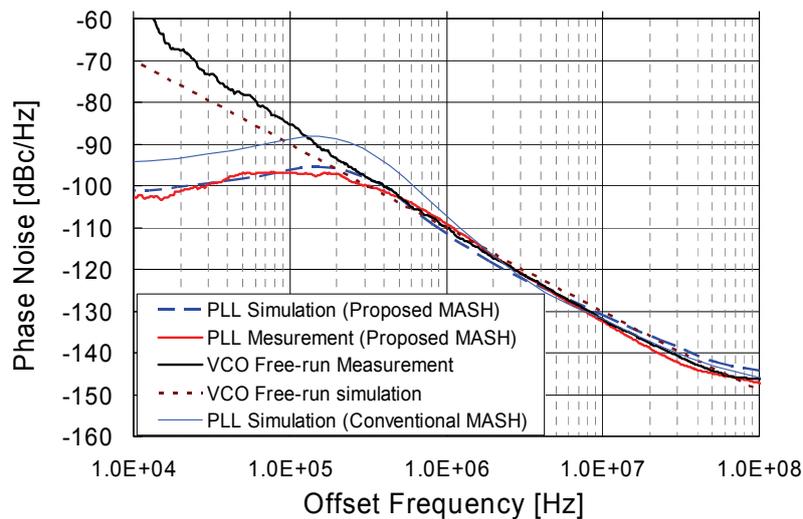


図 5.29 最高発振周波数時（13.4 GHz）の RF シンセサイザ SiP の位相雑音特性

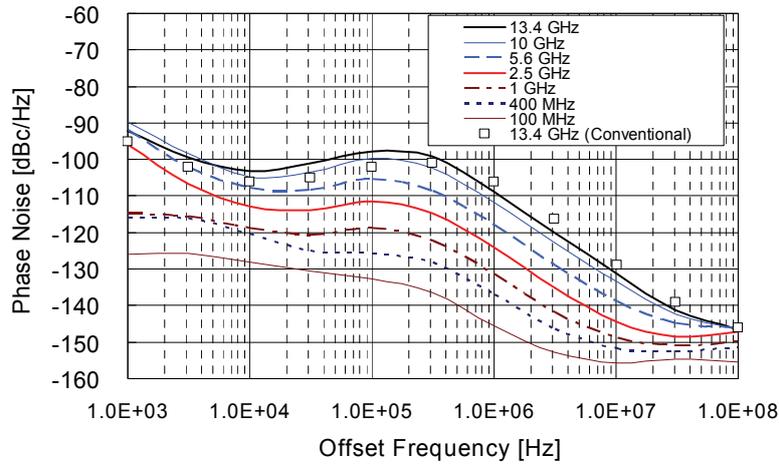


図 5.30 RF シンセサイザ SiP の全バンド内位相雑音特性の測定結果

表 5.3 には既発表の 4 次オーダー $\Delta \Sigma$ フラクショナル N 周波数シンセサイザとの In-band 位相雑音比較を示した。In-band 位相雑音の発表データについては、各論文で規定の仕方が統一されていないため厳格な比較は難しいが、本研究結果は他論文と比較しておおむね 7 dB 以上良い結果である。なお周波数セトリング特性については、6 章で述べる。

表 5.3 既発表 4 次オーダー $\Delta \Sigma$ フラクショナル N 周波数シンセサイザとの In-band 位相雑音比較

Ref.	Tech.	Arch.	f_{REF}	f_{VCO}	Loop BW	In-band noise
[5.19]	0.18 μ m CMOS	Single - loop	26 MHz	1965 MHz	200 KHz	-92 dBc/Hz
[5.20]	0.18 μ m CMOS	Inter - polate	13 MHz	1380 MHz	16 KHz	-82 dBc/Hz
[5.3]	0.18 μ m CMOS	MASH	3.2 MHz	2001 MHz	100 KHz	-82 dBc/Hz
[5.21]	CMOS($\Delta \Sigma$) BJT(PLL)	MASH	20 MHz	915 MHz	100 KHz	-91 dBc/Hz
This work	0.25 μ m SiGe BiCMOS	MASH	149.44 MHz	8100 MHz	300 KHz	-99 dBc/Hz *1

*1 : in-band peak noise at 150 KHz offset frequency, f_{VCO} : Output frequency of VCOs

5.4 本章のまとめ

非対称トーナメント形式13バンドVCOおよび新提案の48ビット $\Delta\Sigma$ モジュレータをコア回路とするPLL-LSIを用いてシングルループPLL構成にて、超小形フラクショナルN RFシンセサイザSiPを開発した。

シンセサイザの特徴を以下に要約する。

(1) 超小形：

PLL-LSIおよびシングルループPLLによる20 mm x 20 mm x 3 mmのSiP形状。

(2) 高周波，広帯域：

13バンドVCOによる100MHzから12GHzのテストカバレッジを実現。

(3) 高周波分解能：

48ビット $\Delta\Sigma$ モジュレータによる50 μ Hzの周波数設定分解能。

(4) 低位相雑音：

新MASHアーキテクチャのノイズシェーピング，高基準周波数により，発振周波数2.5 GHz時の位相雑音は-123 dBc@1 MHz キャリアオフセット。

(5) 高速周波数セトリング：

ノイズシェーピングおよび高基準周波数の寄与からループフィルタを広域化し，150 μ s以下を実現。

第 6 章 新 RF モジュールの性能評価

6.1 基本性能

表 6.1 に、RF モジュールのプロトタイプのパフォーマンスをまとめた。代表的な性能評価として VSG 出力レベルのダイナミックレンジを図 6.1 に示す。全チャンネルポートにおいて最小出力 -120 dBm 以下、最大出力電力 $+8$ dBm 以上のダイナミックレンジを、 100 MHz から 6 GHz の周波数帯に亘って達成した。

図 6.2 に、周波数可変幅 0.7 GHz (7.3 - 8.0 GHz) および 6.7 GHz (6.7 - 13.4 GHz) 時において、設定周波数の ± 1 kHz 以内に収束するセトリング時間を示す。13 バンド VCO のフルレンジである 6.7 GHz の周波数可変幅でも 150 μ s 以下の高速周波数セトリングが得られており、従来の RF モジュールの 350 μ s に対して 2 倍以上の高速化を達成した。RF シンセサイザの高速化、低位相雑音化、ステップアッテネータおよび RF スイッチの高速電力レベルセトリング性能により、WCDMA の規格試験において 1 % の、802.11a において 1.5 % の EVM 測定精度で高スループットのテストが可能となった。

ベンチマーク試験の実例として、数百のテスト項目からなるマルチバンド RF-IC を試験し、チャンネル当たりの試験時間を評価した結果、新 RF モジュールでは従来 RF モジュールの試験時間 2 秒に対し 400 ミリ秒以下に大幅に短縮され、1 チャンネル当たりのテストスループットは 5 倍以上向上している。さらに、4 チャンネル・フルリソースの新 RF モジュールは、完全同時測定、マルチタスク・テスト、モジュールスライスなど[6.1]、多くの魅力的な特徴を有している。

表 6.1 新 RF モジュールの性能諸言

VSG	Frequency range		100MHz to 6GHz
	Power output		+11dBm, 100MHz to 2.5GHz +8dBm, 2.5GHz to 6GHz
	C/N @2.2GHz	Offset 10KHz	-95dB
		100KHz	-93dB
		1MHz	-107dB
		10MHz	-126dB
	EVM		3%(WCDMA), -10 to -40dBm 2%(802.11a), -10 to -40dBm
Throughput	Freq Settling	150usec	
	Power Settling	300usec	
VSA	Frequency range		100MHz to 12GHz
	Power input		+17 to -120dBm
	C/N @2.2GHz	Offset 10KHz	-110dB
		100KHz	-108dB
		1MHz	-120dB
		10MHz	-141dB
	EVM		1%(WCDMA, 802.11a)
Noise floor		-153dBm, @2.2GHz	
VNA	Frequency range		400MHz to 12GHz
	Acuracy		< 0.1dB
	Directivity		> 15dB

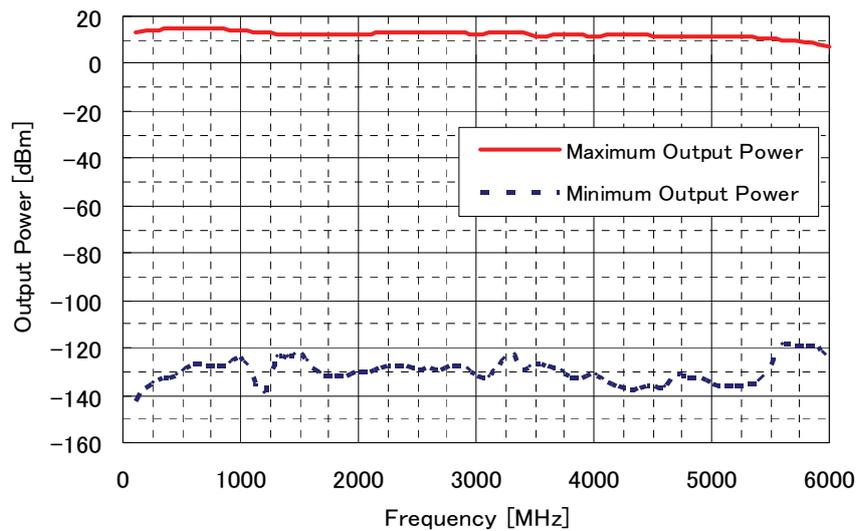


図 6.1 VSG 出力レベルダイナミックレンジ

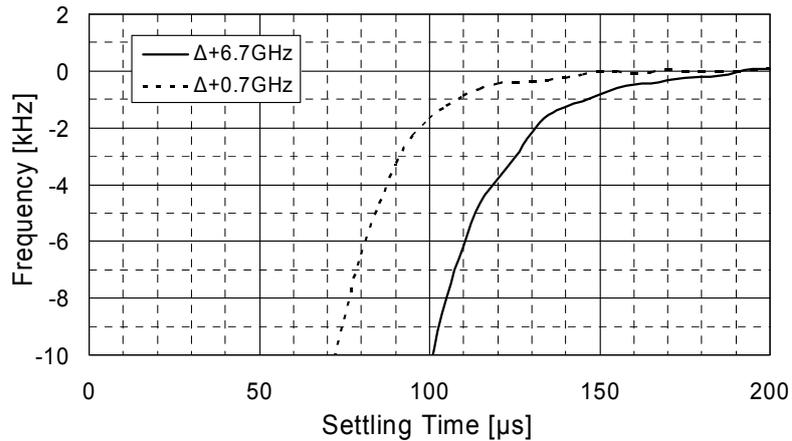


図 6.2 周波数セトリング特性

6.2 新 RF モジュールの RF テストへのインパクト

本研究主題の RF-SiP を用いた RF モジュールの大幅な小形・高密度化により、テストヘッドの 3 スロットに 4 チャンネル・フルリソースをインストールすることが可能となり、既に述べたように、4 チャンネルの完全同測が可能となった。そこでこの章では 4 チャンネル・フルリソースにより実現したモジュールスライスにおける RF テストの優位性について述べる。

モジュールスライスとは、1 台のモジュール内 4 チャンネルの各リソースが完全独立でそれぞれ個別に操作出来ることから、そう呼ばれる。各チャンネルは相互依存することなくテストプログラムの実行に対応可能、すなわちマルチタスクが可能である。モジュールスライスによるマルチタスクの優位性の例を図 6.3 と図 6.4 に示す[6.1]。図 6.3 は同一種類の 4 つの DUT を同一のテストプログラムを用いて各チャンネル個別のプロシジャでテストを行う例である。この利点は各テスト項目に対するパス、フェイルから DUT 毎に独立してプログラムの実行内容を変えてテストを行うことが可能で、スループットの向上に極めて有効である。例えば図 6.5 のように、全テスト 5 項目中、テスト項目 1 と項目 2 をパスした場合は項目 3 と項目 4 を省略できるデバイステストであるとする、チャンネル 1 の

DUT-1 ではチャンネル 2 の DUT-2 に対してテストは短時間で終了し、次の DUT テストに移行することが出来る。これに対しモジュールスライスが不可能、すなわち従来のシェアードリソース RF モジュールでは、DUT-2 の最長テスト時間に拘束されスループットは悪化する。このような各チャンネル毎にプログラムの実行に自由度を持たせテスト効率の向上を図る手法をアダプティブテストと呼んでいる。

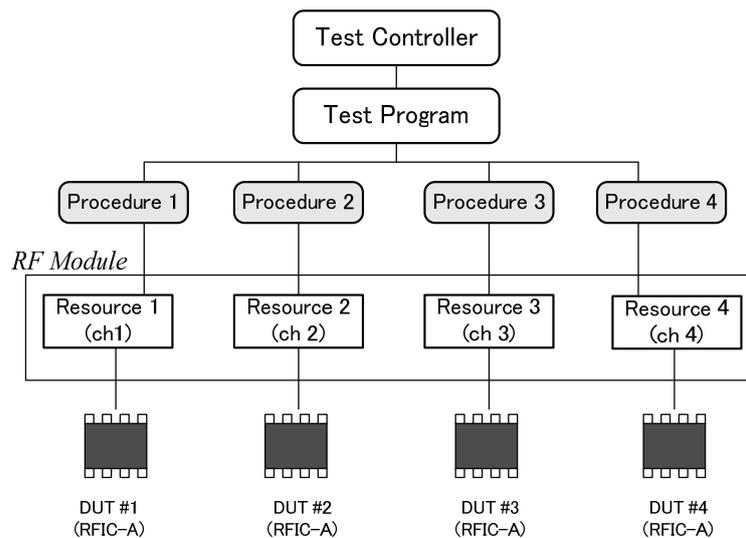


図 6.3 モジュールスライスによるテスト手法：同一 DUT のテスト

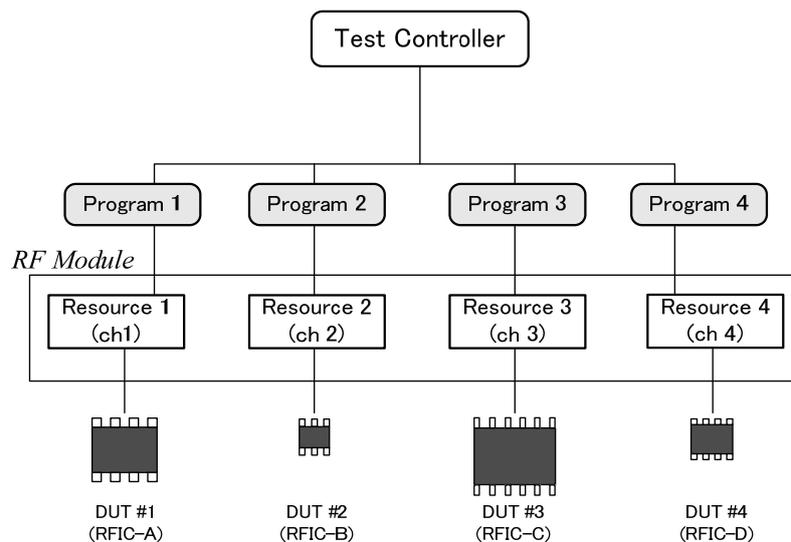


図 6.4 モジュールスライスによるテスト手法：異種 DUT のテスト

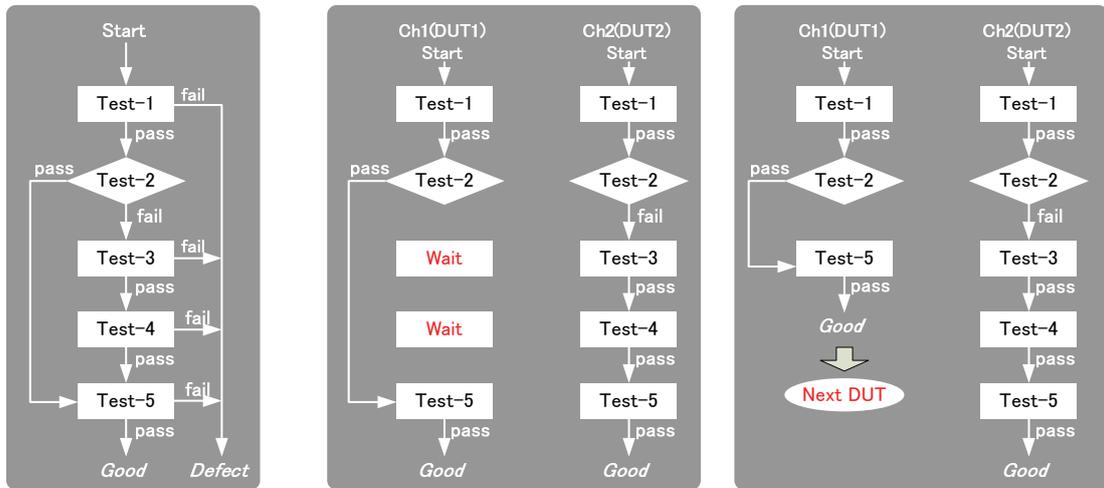


図 6.5 モジュールスライスによるアダプティブテストの実現

一方、図 6.4 は異種 DUT をそれぞれ異なるプログラムでテストを行う例である。機能、性能、テスト内容の異なる DUT を同時にテストすることが出来る。この場合の利点としてテストプログラムの開発効率の向上が挙げられる。複数のプログラマによる複数プログラム開発、あるいは複数のプログラマによる同一プログラムの集中デバックなど、テストプログラム開発効率の向上に非常に有効である。

第7章 総括

高密度 RF テスタフロントエンドの SiP (System In Package) 化に関する研究と題して、RF テスタ用モジュールの大幅な小形化を可能にした RF テスタフロントエンド用 RF-SiP 技術について、主要 RF-SiP に関する要素回路技術から、SiP の構成と構造並びその性能、さらに本 SiP を用いて小形、高スループット化した RF モジュール性能について述べた。

1 章では序論と題し、まず近年の RF テストトレンドと RF テスタへの市場要求について述べ、つづいて本研究の対象製品である RF テスタおよびこれに搭載される RF モジュールの概要を説明した後、RF テストトレンド、RF テスタへの市場要求に対応するための RF モジュールの小形・高密度化、高スループット化の重要性を明確にした。

2 章では RF-SiP 技術と RF テスタフロントエンドの小形化と題し、RF モジュールの小形・高密度、高スループット化を達成する上で最も重要な技術である、RF テスタフロントエンドの SiP 化について述べた。RF モジュールの小形化における最大の課題は RF 回路の集積化である。本研究では、テスタモジュールの RF テスタフロントエンドを各機能ブロックに分け、各機能ブロックの全てを SiP 化した。計 13 種類の RF-SiP を開発し RF テスタフロントエンドを総 SiP 化した結果、RF テスタに要求される広周波数カバレッジとダイナミックレンジ性能を有する RF モジュールを大幅に小形化することに成功した。高周波多層 LTCC 基板および RF テスタに特化した多種の新規カスタム設計 IC を用いて構成した RF-SiP の構造と設計の概要を説明し、本 RF-SiP の特徴を述べるとともに、RF テスタフロントエンドの小形化の技術的ポイントを述べた。

3 章から 5 章では、開発した 13 種類の RF-SiP の中でも最も開発難易度が高く、また、SiP 化による小形化の効果の高い 3 種類の SiP について詳しく説明した。

3 章ではベクトルネットワークアナライザ (VNA) 用リフレクトメータ SiP について述べ

た。従来、方向性結合器や受信ミキサをハイブリッド回路で構成した VNA 機能を SiP 化することは、RF モジュールの小形化にとって大きな課題であった。本研究では VNA 機能とその諸性能を SiP で実現するために、これに適した MMIC や RF-IC、LTCC 基板内層に実装可能な小形広帯域方向性結合器を開発し、これらを用いて VNA 機能を SiP 化することに成功した。VNA の SiP 化における重要検討課題とその検証、SiP を構成する主要回路の設計、そしてそれらを用いて組み上げたリフレクトメータ SiP の諸性能について述べた。

4 章では 75dB ステップアッテネータ SiP について述べた。従来、ディスクリートタイプの PIN ダイオードと大型の金属シールド構造を用いて構成された広帯域、高減衰ステップアッテネータを SiP 化する際に重要となる技術は、高速信号切り替えデバイスとそのデバイスの RF 性能を最大限に引き出す MMIC 回路技術と、MMIC を LTCC に搭載する際の高アイソレーション実装技術である。高速 HEMT デバイス技術、それを用いた高速ステップアッテネータ MMIC 回路技術、そして高アイソレーション LTCC 実装技術、の 3 つの要素技術を駆使した 75 dB 高速電力レベル可変ステップアッテネータの SiP 化について述べた。

5 章では RF シンセサイザ SiP について述べた。本研究の対象製品である RF モジュールでは、1 つのモジュールに 16 個の RF シンセサイザを搭載する必要がある、従来回路の大幅な小形化が必須であった。本研究ではマルチバンド (13 バンド) VCO と 150MHz、48bit $\Delta \Sigma$ モジュレータ技術を用いて PLL-VCO を LSI 化することにより、RF シンセサイザの SiP 化に成功した。13 バンド VCO の低位相雑音、高周波数リニアリティ設計と、 $\Delta \Sigma$ モジュレータのノイズシェーピングの向上技術をメインに、広帯域、低位相雑音、高周波数分解能、高速周波数セトリングの全要求性能を満たす RF シンセサイザの SiP 化について述べた。

6 章では RF フロントエンドの SiP 化により大幅な小形化が達成された RF モジュールの諸性能について述べた。従来モジュールに対し約 1 / 4 の容積であり、さらにフルリソース化したことから実効容積は約 1 / 15 となっている。また、スイッチ SiP、ステップアッテネータ SiP、RF シンセサイザ SiP の高速化技術により、RF デバイステストのスループット

は約 5 倍向上した。その他の効果として、フルリソースによる RF テスト手法の拡張性についても言及した。

参考文献

第 1 章

- [1.1] R. Koller, T. Ruhlicke, D. Pimingsdorfer, and B. Adler, "A single-chip 0.13 μ m CMOS UMTS W-CDMA multi-band transceiver," 2006 IEEE Radio Frequency Integrated Circuits Symposium, June. 2006.
- [1.2] J.-W. Lai, C.-H. Wu, A. Lin, W.-K. Hong, C.-Y. Wang, C.-H. Shen, Y.-H. Lin, Y.-H. Cho, Y.-C. Chen, and Y.-H. Chung, "A world-band triple-mode 802.11a/b/g SOC in 130-nm CMOS," IEEE J. Solid-State Circuits, vol.44, no.11, pp.2911-2921, Nov. 2009.
- [1.3] A. Mirzaei, H. Darabi, A. Yazdi, Z. Zhou, E. Chang, and P. Suri, "A 65nm CMOS quad-band SAW-less receiver SoC for GSM/GPRS/EDGE," IEEE J. Solid-State Circuits, vol.46, no.4, pp.950-964, Apr. 2011.
- [1.4] A. Yoshimoto, T. Hattori, "Area coverage of a multi-link MIMO system with water filling power allocation strategy," VTC-2007 Fall 2007 IEEE 66th, Sept. 30 2007-Oct. 3 2007, pp.1137-1141.
- [1.5] K. Lim, S. Min, S. Lee, J. Park, K. Kang, H. Shin, H. Shim, S. Oh, S. Kim, J. Lee, C. Yoo, and K.Chun, "A 2x2 MIMO Tri-band dual-mode direct conversion CMOS transceiver for worldwide WiMAX/WLAN applications," IEEE J. Solid-State Circuits, vol.46, no.7, pp.1648-1658, Jul. 2011.
- [1.6] M. Kimishima, "Introduction to latest RF ATE with low test cost solutions," IEICE Trans. Electron, vol.E95-C, no.7, pp.1147-1153, July. 2012.

- [1.7] Denis. Gable, "Configure An RF ATE System," Microwave and RF, vol.47, no.1, pp.55-64, January. 2008.
- [1.8] Ganesh Parasuram Srinivasan, "Efficient production testing of high-performance RF test modules and systems using low-cost ATE," In partial fulfillment of the requirements for the degree doctor of philosophy in electrical and computer engineering Georgia institute of technology December 2006.
http://etd.gatech.edu/theses/submitted/etd-11212006-081239/unrestricted/Srinivasan_Ganesh_P_200612_phd.pdf
- [1.9] M. Kimishima, S. Mizuno, T. Seki, H. Takeuti, H. Nagami, H. Shirasu, Y. Haraguti, J. Okayasu, M. Nakanishi, "A high density small size RF test module for high throughput multiple resource testing," 2010 IEEE International Test Conference, Nov. 2010.
- [1.10] Y. C. Lee, W. I. Chang, and C. S. Park, "Monolithic LTCC SiP transmitter for 60GHz wireless communication," 2005 IEEE MTT-Symp. Digest, pp.1015-1018, 2005.
- [1.11] T. Baras, and Arne F. Jacob, "Integrated LTCC synthesizer and signal converter module at K-band," IEEE Trans. Microw. Theory Tech., vol.57, no.1, pp.71-79, Jan. 2009.

第 2 章

- [2.1] 君島正幸, 竹内博昭, 大西将夫, 古神義則, "高密度 RF テスタフロントエンド用 75 dB ステップアッテネータの SiP 化の検討," 信学論(C), Vol.J96-C, No.12, pp.-, Dec. 2013. in press.

- [2.2] Matthaei, G.L. "Interdigital Band-Pass Filters," *IEEE Trans. Microw. Theory Tech.*, vol.10, no.11, pp.479-491, Nov. 1962.
- [2.3] T. Yuasa, T. Nishino, and H. Oh-hashii, "Simple design formula for parallel plate mode suppression by ground via-holes," *2004 IEEE MTT-Symp. Digest*, pp.641-644, 2004.
- [2.4] R. Valois, D. Baillargeat, S Verdeyme, M. Lahti, and T. Jaakola, "LTCC technology for 40GHz bandpass waveguide filter," *2005 IEEE MTT-Symp. Digest*, pp.12-17, 2005.

第 3 章

- [3.1] M. Kimishima, "Introduction to latest RF ATE with low test cost solutions," *IEICE Trans. Electron*, vol.E95-C, no.7, pp.1147-1153, July. 2012.
- [3.2] 君島正幸, 中山喜和, 古神義則, "RF テスタ用リフレクトメータの SiP 化技術," *電気学会論文誌 C*, vol.133 No.3, pp.450-463, Mar. 2013.
- [3.3] <http://cp.literature.agilent.com/litweb/pdf/00-2507.pdf>
- [3.4] R. Soares, "GaAs MESFET circuit design," Artech House, Chapter-2, pp. 39-62, published 1988.
- [3.5] A. Davidson, E.Strid, and K. Jones, "Achieving greater on-wafer S-parameter accuracy with the LRM calibration technique," *34th Automatic RF techniques Group Conference Proceedings*, Nov. 1989.
- [3.6] R. Levy, "General synthesis of asymmetric multi-element coupled-transmission-line directional couplers," *IEEE Trans. Microwave Theory Tech*, vol. MTT-11, pp. 226-237, July 1963.
- [3.7] R. Levy, "Tables for asymmetric multi-element coupled-transmission-line directional couplers," *IEEE Trans. Microwave Theory Tech*, vol. MTT-12, pp. 275-279, May 1964.

- [3.8] <http://cp.literature.agilent.com/litweb/pdf/ads15/manuals.htm>
- [3.9] J. Paul Shelton, Jr., "Impedances of offset parallel-coupled strip transmission lines," IEEE Trans. Microwave Theory Tech, vol. MTT-14, pp. 7-15, Jan. 1966.
- [3.10] James B. Beyer, S. N. Prasad, Robert C. Becker, James E. Nordman, and Gert K. Hohenwater, "MESFET distributed amplifier design guidelines," IEEE Trans. Microwave Theory Tech, vol. MTT-32, No.3, pp268-275, March. 1984.
- [3.11] Thomas T. Y. Wong. "Fundamentals of distributed amplification," Artech House, 1993.
- [3.12] Shunji Kimura, Yuhki Imai, "0-40 GHz MESFET distributed baseband amplifier IC's for high-speed optical transmission," IEEE Trans. Microwave Theory Tech, Vol. 44, No.11, pp2076-2082, November. 1996.
- [3.13] Barrie Gilbert, "A precise four-quadrant multiplier with subnanosecond response," IEEE Journal of Solid-State Circuits, Vol. SC-3, No.4, pp365-373, December. 1968.
- [3.14] Robert G. Meyer : "Intermodulation in high-frequency bipolar transistor integrated-circuit mixers," IEEE Journal of Solid-State Circuits, Vol. SC-21, No.4, pp534-537, August. 1986.
- [3.15] James Schellenberg and Hien Do-Ky : "Low loss, planar monolithic baluns for K/Ka-band applications," IEEE MTT-S Digest, pp1733-1736, 1999.
- [3.16] Sun-Sook Kim, Jong-Hwan Lee, and Kyung-Whan Yeom : "A novel planar dual balun for doubly balanced star mixer," IEEE Microwave and Wireless Component Letters, Vol.14, No.9, pp440-442, September. 2004.
- [3.17] 下沢充弘, 伊東健治, 佐々木善伸, 川 肇, 磯田陽次, 石田修己, "スパイラル形結合線路を用いた並列接続形マーチャントバランと広帯域MMIC FET レジスティブリングミキサへの適用," 信学論(C), Vol.J89-C, No.5, pp.217-227 (2006 年)

第 4 章

- [4.1] 君島正幸, 竹内博昭, 大西将夫, 古神義則, “高密度 RF テスタフロントエンド用 75 dB ステップアッテネータの SiP 化の検討,” 信学論(C), Vol.J96-C, No.12, pp.-, Dec. 2013. in press.
- [4.2] M. Kimishima, “Introduction to latest RF ATE with low test cost solutions,” IEICE Trans. Electron, vol.E95-C, no.7, pp.1147-1153, July. 2012.
- [4.3] M. Kimishima, S. Mizuno, T. Seki, H. Takeuti, H. Nagami, H. Shirasu, Y. Haraguti, J. Okayasu, M. Nakanishi, “A high density small size RF test module for high throughput multiple resource testing,” 2010 IEEE International Test Conference, Nov. 2010.
- [4.4] <http://www.home.agilent.com/ja/pc-1887116/momentum-3d-planar-em-simulator?&cc=JP&lc=jpnAgilent>
- [4.5] <http://ansys.jp/products/electromagnetics/hfss/index.html>
- [4.6] 君島正幸, 中山喜和, 古神義則, “RF テスタ用リフレクトメータの SiP 化技術,” 電気学会論文誌 C, vol.133 No.3, pp.450-463, Mar. 2013.
- [4.7] アンリツ 電子計測器総合カタログ
<http://www.anritsu.com/ja-JP/Products-Solutions/Test-Measurement/RF-Microwave/Peripheral-Equipment/index.aspx>
- [4.8] ヒロセ電機 マイクロウェーブ・コンポーネントカタログ
http://www.hirose.co.jp/catalogj_hp/j36100124.pdf
- [4.9] R. Yeats, D. C. D’Avanzo, K. Chan, N. Fernandez, T. W. Taylor, and C. Vogel, “Gate slow transients in GaAs MESFETs-causes, cures, and impact on circuits,” in IEDM Tech. Dig., 1988, pp.842-845.
- [4.10] G. Verzellesi, A. Mazzanti, A. F. Basile, A. Boni, E. Zanoni, C. Canali, “Experimental and numerical assessment of gate-lag phenomena in

AlGaAs-GaAs heterostructure field-effect transistors(FETs),” IEEE Transactions on electron devices, vol.50, no.8, pp.1733-1740, August. 2003.

- [4.11] Junichi. Okayasu, Semiconductor Apparatus and Manufacturing Method Thereof. U.S. Published Patent Application US-2009-0001422. 2009-01-01.

第 5 章

- [5.1] M. Kimishima, H. Sakai, H. Nagami, G. Utamaru, H. Shirasu, and Y. Kogami, “A Small Size 100 MHz to 13.4 GHz Fractional-N RF Synthesizer for RF ATE Based on 13-band VCOs and 48-bit $\Delta\Sigma$ modulator,” IEICE Trans. Electron, vol.E96-C, no.10, pp.-,Oct. 2013. in press.
- [5.2] Y.-C. Yang and S.-S. Lu, “A quantization noise pushing technique for $\Delta\Sigma$ fractional-N frequency synthesizers,” IEEE Trans. Microw. Theory Tech., vol.56, no.4, pp.817-825, April. 2008.
- [5.3] L. Zhang, X. Yu, Y. Sun, W. Rhee, D. Wang, Z. Wang, and H. Chen, “A hybrid spur compensation technique for finite-modulo fractional-N phase-lock loops,” IEEE J. Solid-State Circuits, vol.44, no.11, pp.2922-2934, Nov. 2009.
- [5.4] J. Shin, and H. Shin, “A 1.9-3.8 GHz $\Delta\Sigma$ fractional-N PLL frequency synthesizer with fast auto-calibration of loop bandwidth and VCO frequency,” IEEE J. Solid-State Circuits, vol.47, no.3, pp.665-675, Mar. 2012.
- [5.5] L. Nan, K.Mouthaan, Y.-Z. Xiong, J. Shi, S. C. Rustagi, and B.-L. Ooi, “Experimental characterization of the effect of metal dummy fills on spiral inductors,” 2007 IEEE Radio Frequency Integrated Circuits Symposium, pp.307-310, 2007.

- [5.6] F. Zhang, C.-F. Chu, and P. Kinget, "Voltage-controlled oscillator in the coil," IEEE 2005 Custom Integrated Circuits Conference, pp.587-590.
- [5.7] E.-Y. Sung, K.-S. Lee, D.-H. Baek, Y.-J. Kim, and B.-H. Park, "A wideband 0.18- μ m CMOS $\Delta\Sigma$ fractional-N frequency synthesizer with a single VCO for DVB-T," 2005 IEEE Asian Solid-State Circuits Conference, pp.193-196, 2005.
- [5.8] D. F. Peterson, "Varactor properties for wide-band linear-tuning microwave VCO's," IEEE Trans. Microw. Theory Tech., vol.28, no.2, pp.110-119, Feb. 1980.
- [5.9] W. E. Kamali, J. P. Grimm, R. Meierer, and C. Tsironis, "New design approach for wide-band FET voltage-controlled oscillators," IEEE Trans. Microw. Theory Tech., vol.34, no.10, pp.1059-1063, Oct. 1986.
- [5.10] Behzad Razavi, "RF Microelectronics," PRENTICE HALL, INC, a Pearson Education Company. 1998.
- [5.11] George D. Vendelin, Anthony M. Pavio and Ulrich L. Rohde, "Microwave Circuit Design," Wiley Interscience, 1988.
- [5.12] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis and Robert G. Mayer, "Analysis and Design of Analog Integrated Circuits," John Wiley & Sons, Inc. 2001.
- [5.13] H. Wang, "New strategies for low noise, agile PLL frequency synthesis," A thesis submitted to the University College London for the degree of doctor of philosophy in electronic engineering, March 2009.
<http://eprints.ucl.ac.uk/15830/1/15830.pdf>
- [5.14] K.-S. Lee, J.-h. Lee, M. Yoh, B.-H. Park, "A fractional-N frequency synthesizer with a 3-bit 4th order sigma-delta modulator," Solid-State Circuits Conference, 2002. Proc. 28th European, pp.803-806.

- [5.15] M. Kozak and I. Kale, "A pipelined noise shaping coder for fractional-N frequency synthesis," *IEEE Transactions on Instrumentation and Measurement*, vol.50, no.5, pp.1154-1161, Oct. 2001.
- [5.16] H. Sakai, Sigma Delta Modulator, Fractional Frequency Synthesizer and Sigma Delta Modulating Method. U. S. Patent 7602252. 2009-10-13.
- [5.17] W. J. Norman, Frequency synthesizers. European patent application, Publication number: EP 0 125 790 A2, Application number: 84302477.9.
- [5.18] S. R. Norsworthy, R. Schreier, and G. C. Temes, "Delta-sigma data converters, Theory, design, and simulation," *IEEE press*, 1997.
- [5.19] X. Yu, Y. Sun, W. Rhee, H. Ahn, B.-H. Park, and Z. Wang, "A $\Delta\Sigma$ fractional-N synthesizer with customized noise shaping for WCDMA/HSDPA applications," *IEEE J. Solid-State Circuits*, vol.44, no.8, pp.2193-2201, Aug. 2009.
- [5.20] E.-Y. Sung, K.-S. Lee, D.-H. Baek, Y.-J. Kim, and B.-H. Park, "A wideband 0.18- μm CMOS $\Delta\Sigma$ fractional-N frequency synthesizer with a single VCO for DVB-T," *2005 IEEE Asian Solid-State Circuits Conference*, pp.193-196, 2005.
- [5.21] N. M. Filiol, T. A. D. Riley, C. Plett, and M. A. Copeland, "An agile ISM band frequency synthesizer with built-in GMSK data modulation," *IEEE J. Solid-State Circuits*, vol.33, no.7, pp.998-1008, Jul. 1998.

第 6 章

- [6.1] M. Kimishima, "Introduction to latest RF ATE with low test cost solutions," *IEICE Trans. Electron*, vol.E95-C, no.7, pp.1147-1153, July. 2012.

研究成果

投稿論文

1. **M. Kimishima**, "Millimeter-wave Broadband mixers in new testing and measurement instruments for high data rate signal analyses." IEICE Trans. Electron., vol. E88-C, no. 10, pp. 1973-1980, Oct. 2005.
2. 君島 正幸, 中山 喜和, 古神 義則, "RF テスタ用リフレクトメータの SiP 化技術." 電気学会論文誌 C Vol. 133, No. 3, pp.450-463 (2013 年 3 月)
3. **M. Kimishima**, H. Sakai, H. Nagami, G. Utamaru, H. Shirasu, Y. Kogami, "A Small Size 100 MHz to 13.4 GHz Fractional-N RF Synthesizer for RF ATE Based on 13-band VCOs and 48-bit $\Delta\Sigma$ modulator." IEICE Trans. Electron, vol.E96-C, no.10, pp.-,Oct. 2013. in press.
4. 君島 正幸, 竹内, 博昭, 大西 将夫, 古神 義則, "高密度 RF テスタフロントエンド用 75 dB ステップアッテネータの SiP 化の検討." 信学論(C), Vol.J96-C, No.12, pp.-, Dec. 2013. in press.
5. **M. Kimishima**, "Introduction to latest RF ATE with low test cost solutions." IEICE Trans. Electron, vol.E95-C, no.7, pp.1147-1153, July. 2012. [招待論文]

国際会議発表論文

1. **M. Kimishima**, S. Mizuno, T. Seki, H. Takeuti, H. Nagami, H. Shirasu, Y. Haraguti, J. Okayasu, M. Nakanishi, "A high density small size RF test module for high throughput multiple resource testing." 2010 IEEE International Test Conference, Nov. 1-5, 2010.
2. **M. Kimishima**, "Introduction to latest RF test technologies in RF ATE for low test cost." 2011 China-Japan Joint Microwave Conference Proceedings, 20-22 April 2011.
3. **M. Kimishima**, Y. Ito, "A 9 to 18 GHz small size hybrid broadband VCO using active match circuits." Proc.20th EUMC, pp322-327, 1990.
4. **M. Kimishima**, "A 10 to 20 GHz broadband VCO using active match circuits." The 3rd Asia-pacific microwave conference proceeding, pp251-254, 1990.

5. **M. Kimishima**, S. Ohmura, T. Ashizuka, "A semi-monolithic wideband VCO with output power control capability using an active power splitter." 1992 IEEE MTT-Symp. Digest, pp1317-1320, 1992.
6. **M. Kimishima**, T. Ashizuka, "18-40 GHz semi-monolithic balanced cascade amplifiers using AlGaAs/InGaAs P-HEMT and GaAs MESFET." 1993 IEEE MTT-Symp. Digest, pp523-526, 1993.
7. **M. Kimishima**, Y. Hayashi, M. Takahashi, "A 1.9 GHz variable gain linear power amplifier MMIC for PHS using novel cascaded MESFETs." 1997 IEEE MTT-Symp. Digest, pp1311-1314, 1997.
8. **M. Kimishima**, T. Ataka, H. Okabe, "family of Q, V and W-band monolithic resistive mixers." 2001 IEEE MTT-Symp. Digest, pp115-118, 2001.

謝辞

本研究を進めるにあたり，指導教官である宇都宮大学大学院 工学研究科 古神義則教授には，多くのご指導ご鞭撻を頂き深く感謝いたします。また研究をまとめる過程においていろいろとご協力，ご支援を頂いた，宇都宮大学大学院 工学研究科 衣田秀彦准教授，柏倉隆之准教授に，心より感謝申し上げます。そして本論文の審査において，貴重なご助言を頂いた宇都宮大学大学院 工学研究科 白石和男教授，船渡寛人教授，平田光男教授，宇都宮大学大学院 教育学研究科 苫米地義郎教授に，深く感謝いたします。

株式会社アドバンテスト 丸山利雄代表取締役会長，松野晴夫代表取締役兼執行役員社長，黒江真一郎取締役兼執行役員副社長，関野隆執行役員，岡安俊幸執行役員，株式会社アドバンテスト研究所 清水雅男代表取締役社長からは，社会人博士課程における本研究遂行の機会を頂き，深く感謝いたします。

本研究を遂行するにあたり，貴重なご助言そして激励を頂いた株式会社アドバンテスト 得能孝顧問，浅見幸司課長，春田将人氏に，心より感謝いたします。

株式会社アドバンテスト 知的財産部，人事部の皆様のご協力に，深く感謝いたします。

第 3 章に関連して，共同研究者として多くの議論や作業にご協力いただいた株式会社アドバンテスト 中山喜和課長，水野祥一課長に，心より感謝いたします。

第 4 章に関連して，同じく共同研究者として多くの議論や作業にご協力いただいた株式会社アドバンテスト 竹内博昭氏，大西将夫氏に，心より感謝いたします。

第 5 章に関連して，共同研究者として多くの議論や作業にご協力いただいた株式会社アドバンテスト 酒井秀典氏，永海治樹氏，歌丸剛氏，白須英貴氏，橋田真吾課長に，心よ

り感謝いたします。

本研究全般に関して、T2000 RF モジュール用 RF-SiP の開発に係られた株式会社アドバンテスト、株式会社アドバンテスト研究所、株式会社アドバンテストコンポーネントの全関係諸氏に、心より感謝いたします。

最後に、本論文をまとめるにあたり、宇都宮大学大学院社会人博士課程在学期間中の週末の大半を論文完遂作業に費やしながらも、暖かく応援してくれた家族に、心より御礼申し上げます。

以上のように、本研究は多くの方々のご支援、ご協力のもとに遂行されました。関係する諸氏にあらためて深謝いたします。

2013年9月15日 君島 正幸