

論文の内容の要旨

専攻名 システム創成工学

氏名 君島 正幸

本論文は「高密度RFテストフロントエンドのSiP化に関する研究」と題し、近年の多機能RF-ICチップモジュールを高精度かつ高速に評価するための高集積RFテストの実現を目指し、RFテストフロントエンド用RF-SiP化（システムインパッケージ化）に必要な種々の技術を開発し、その結果をまとめたものである。

最新世代および次世代の携帯端末などに搭載されるRF-ICチップモジュールは、その多機能化やMIMO（マルチインプット・マルチアウトプット）方式導入のために、製品出荷に際する試験項目は多岐にわたり、測定対象となる回路端子対は数十を超える。評価試験に供するテストには、評価コストを極力抑えるために、高確度・高スループット性能が強く要求されている。極限まで測定スループットを高めるためには、測定対象となるRF-ICチップモジュールを装荷するテストヘッドに、使用する全てのRF-テストモジュールを一括搭載する必要がある。従来のようにハイブリッドICを用いる方法では不可能であり、それゆえ各モジュールのSiP化が必須とされていた。しかし、RFテストに要求される広帯域特性と高ダイナミックレンジを確保しながら、テスト用モジュールのSiP化に成功した開発例は、国内外を問わず見当たらない。本研究では、要求性能を満足する高集積RFテストの開発に取り組み、特にRF-SiP化技術という観点において、従来の小型化最優先の設計指針とは一線を画した、先端の実装技術の一例を例示するものである。

本論文は、全7章で構成されている。

1章では序論と題し、まず近年のRFテストトレンドとRFテストへの市場要求について述べ、つづいて本研究の対象製品であるRFテストおよびこれに搭載されるRFモジュールの概要を説明した後、RFテストトレンド、RFテストへの市場要求に対応するためのRFモジュールの小形・高密度化、高スループット化の重要性を明確にした。

2章ではRF-SiP技術とRFテストフロントエンドの小形化と題し、RFモジュールの小形・高密度、高スループット化を達成する上で最も重要な技術である、RFテストフロントエンドのSiP化について述べた。RFモジュールの小形化における最大の課題はRF回路の集積化である。本研究では、テストモジュールのRFテストフロントエンドを各機能ブロックに分け、各機能ブロックの全てをSiP化した。計13種類のRF-SiPを開発しRFテストフロントエンドを総SiP化した結果、RFテストに要求される広周波数カバレッジとダイナミックレンジ性能を有するRFモジュールを大幅に小形化することに成功した。

高周波多層LTCC基板およびRFテストに特化した多種の新規カスタム設計ICを用いて構成したRF-SiPの構造と設計の概要を説明し、本RF-SiPの特徴を述べるとともに、RFテストフロントエンドの小形化の技術的ポイントを述べた。

3章から5章では、開発した13種類のRF-SiPの中でも最も開発難易度が高く、また、SiP化による小形化の効果も高い3種類のSiPについて詳しく説明した。

まず3章ではベクトルネットワークアナライザ（VNA）用リフレクトメータSiPについて述べた。従来、方向性結合器やミキサをハイブリッド回路で構成したVNA機能回路をSiP化することは、RFモジュールの小形化にとって大きな課題であった。本研究ではVNA機能とその諸性能をSiPで実現するために、これに適したMMIC、RF-ICやLTCC基板内層に実装可能な小形広帯域方向性結合器を開発し、これらを用いてVNA機能をSiP化することに成功した。VNAのSiP化における重要検討課題とその検証、SiPを構成する主要回路の設計、そしてそれらを用いて組み上げたリフレクトメータSiPの諸性能について述べた。

4章では75dBステップアッテネータSiPについて述べた。従来、ディスクリットタイプのPINダイオードと大型の金属シールド構造を用いて構成された広帯域、高減衰ステップアッテネータをSiP化する際に重要となる技術は、高速信号切り替えデバイスとそのデバイスのRF性能を最大限に引き出すMMIC回路技術およびMMICをLTCCに搭載する際の高アイソレーション実装技術である。高速HEMTデバイス技術、それを用いた高速ステップアッテネータMMIC回路技術、そして高アイソレーションLTCC実装技術、の3つの要素技術を駆使した75dB高速電力レベル可変ステップアッテネータのSiP化について述べた。

5章ではRFシンセサイザSiPについて述べた。本研究の対象製品であるRFモジュールでは、1つのモジュールに16個のRFシンセサイザを搭載する必要があり、従来回路の大幅な小形化が必須であった。本研究ではマルチバンド（13バンド）VCOと150MHz、48bit $\Delta\Sigma$ モジュレータ技術を用いてPLL-VCOをLSI化することにより、RFシンセサイザのSiP化に成功した。13バンドVCOの低位相雑音、高周波数リニアリティ設計と $\Delta\Sigma$ モジュレータのノイズシェーピングの向上技術をメインに、広帯域、低位相雑音、高周波数分解能、高速周波数セトリングの全要求性能を両立するRFシンセサイザのSiP化について述べた。

6章ではRFフロントエンドのSiP化により大幅な小形化が達成されたRFモジュールの諸性能について述べた。従来モジュールに対し約1/4に小形化し、さらにフルリソース化したことから実効体積は約1/15となった。また、スイッチSiP、ステップアッテネータSiP、RFシンセサイザSiPの高速化技術により、RFデバイステストのスループットはおよそ5倍向上した。その他の効果として、フルリソースによるRFテスト手法の拡張性についても言及した。

7章では総括と題して本研究を総括するとともに、今後のRFテストフロントエンドの開発の展望を述べた。